

Fachhochschule Koblenz
Fachbereich Ingenieurwesen
Teilfachbereich Informationstechnik
Konrad-Zuse-Straße 1
56075 Koblenz

Diplomarbeit

Entwurf und Aufbau eines neuartigen Kontinuum-Backends für die Radioastronomie mit digitaler Signalnachbearbeitung in Echtzeit

von Vitaly Chetik

Abgabetag: 15.10.2007

Durchgeführt am:

Verfasser: Vitaly Chetik

Max-Planck-Institut für Radioastronomie

Betreuender Professor: Prof. Dr. Berthold Gick

Auf dem Hügel 69

Betreuer im Institut: Dr. Bernd Klein

53121 Bonn

Dr. Reinhard Keller

An dieser Stelle möchte ich allen danken, die zum Gelingen dieser Diplomarbeit beigetragen und mich tatkräftig unterstützt haben. Hierbei möchte ich folgende Personen hervorheben:

- meine Ehefrau Veronika Chetik, für die moralische Unterstützung und die Versorgung mit Kaffee besonders in den kurzen Nächten vor der Fertigstellung
- meine Eltern Vladimir und Vera Chetik, ohne deren Unterstützung mein Studium und schließlich diese Diplomarbeit nicht möglich gewesen wäre
- Herrn Prof. Dr.-Ing. Berthold Gick für seine Betreuung seitens der Fachhochschule
- Herrn Dr.-Ing. Reinhard Keller, Herrn Dr. rer. nat. Bernd Klein, Herrn Dipl.-Ing. Ingo Krämer und Herrn Dipl.-Ing. Andreas Bell für ihre starke Unterstützung und Betreuung, die sie mir in der vergangenen Zeit zukommen ließen
- Herrn Dipl.-Ing. Björn Hammen für die Unterstützung beim Gehäuseentwurf
- allen Mitarbeitern des Max-Planck-Institutes und besonders des Hochfrequenz-, Mikrowellen-, und Digitallabors, die mich jederzeit bei kniffligen Fragen unterstützten

(Vitaly Chetik)

Inhaltsverzeichnis

1	Einführung	1
1.1	Aufgabenstellung	2
1.2	Zusammenfassung der Ergebnisse	3
2	Auswahl der Schnittstelle zum Kontrollraum	5
3	Hardware	7
3.1	Analogschaltung	7
3.1.1	AD-Wandler AD7674	9
3.1.2	Operationsverstärker AD8022	13
3.1.3	Bandbreite und Frequenzgang	14
3.1.4	Einschwingverhalten	15
3.1.5	Nichtlineare Verzerrungen	15
3.1.6	Gleichtaktstörunterdrückung CMRR	16
3.1.7	Versorgungsspannung	18
3.1.8	Crosstalk	18
3.2	Frequenzgang des Anti-Aliasing-Filters	20
3.3	Eingangswiderstand	20
3.4	Ausgangswiderstand der Schaltung	22
3.5	Fazit	23
3.6	EMI-Filter - Tusonix 4209-053	24
3.6.1	Frequenzgang	25
3.6.2	Sprungantwort	26
3.6.3	Gleichtaktstörung	27
3.6.4	Zusammenfassung	28
3.7	Digitalschaltung	28
3.7.1	FPGA-Modul	29
3.7.2	Ethernet	30
3.7.3	Digitale Steuersignale	37
3.7.4	RS-232 Schnittstelle	38
3.7.5	Bedienelemente	38
3.7.6	I ² C-EEPROM - Atmel AT24C512	39
3.7.7	Schnittstelle zum AD-Wandler AD7674	40
3.7.8	IRIG-B AM-Demodulator	41
4	Layout	43
4.1	Örtliche Trennung	43

4.2	Lagenaufbau	44
4.3	Entkopplung der Versorgungsspannungen	45
4.4	Entstörung und Stabilisierung der Versorgungsspannung	45
5	Gehäuseentwurf	48
5.1	Abschirmung	48
5.1.1	Reflexionsverluste	49
5.1.2	Absorptionsverluste	49
5.2	Abschirmwirkung	50
5.2.1	Abschirmung von Magnetfeldern im NF-Bereich	51
5.2.2	Gehäuseöffnungen	52
5.2.3	Gehäuseresonanz	52
5.3	Kühlung und Mechanik	53
6	Programmierung	56
6.1	Erweiterung des Ethernet-Moduls	56
6.2	Ansteuern und Auslesen des AD-Wandlers	57
6.3	Kommunikation mit dem I ² C-EEPROM	58
6.4	Ansteuerung des Displays	60
6.5	Kommunikation über die RS-232 Schnittstelle	61
6.6	Binär nach Dezimal	62
7	Signalverarbeitung	64
7.1	Einleitung	64
7.2	Integralalgorithmus	67
7.2.1	Zusammenfassung	67
8	Stabilität der Versorgungsspannung	69
8.1	Erwartungen	69
8.2	Messgeräte und Aufbau	70
8.3	Messergebnisse	71
8.3.1	Wirkung von Entstörgruppen	71
8.3.2	Digitale Versorgungsspannung	73
8.3.3	Analoge Versorgungsspannung	74
8.3.4	Analoge Eingänge	77
8.4	Zusammenfassung	78
9	Untersuchung der Analogschaltung	79
9.1	Rauschen	80
9.2	Aliasing-Effekte	81
9.3	Gleichtaktstörunterdrückung (CMRR)	82
9.4	Einschwingverhalten	83
9.5	Verzerrungen	84
9.6	Übersprechen der benachbarten Kanäle	85

10 EMV-Messung	86
10.1 Einführung	86
10.2 Messaufbau	87
10.3 Nahfeldmessung	87
10.3.1 Ergebnis der Nahfeldmessung	87
10.4 Fernfeldmessung	91
10.4.1 Ergebnis der Fernfeldmessung	92
10.5 Zusammenfassung	94
A Schaltpläne	95
B Datenblätter	102
C Layout	103
D Gehäuse	113
E Programmierung	119
F Literaturverzeichnis	120

Erklärung

Ich versichere hiermit, dass ich diese Arbeit selbstständig und ohne Benutzung anderer als der angegebenen Quellen angefertigt habe. Diese Arbeit wurde in gleicher oder ähnlicher Form noch keiner anderen Prüfungsbehörde vorgelegt und auch nicht veröffentlicht.

Bonn, am 15. Oktober 2007

Vitaly Chetik

1 Einführung

Für die Erfassung und Verarbeitung der Empfangssignale sitzt am Ende der Empfangskette das sogenannte »Backend«. In der Radioastronomie gibt es eine Vielzahl an Backend-Typen, die je nach Empfangs- und Beobachtungsart unterschiedliche Aufgaben zu erfüllen haben. Es gibt z.B. das FFT-Spektrometer, das eine Spektralanalyse der Empfangsdaten ermöglicht, oder das hier entwickelte Kontinuum-Backend, das eine Erfassung der »Total Power« am Detektor ermöglicht.

Das bis jetzt eingesetzte Empfangssystem der Kontinuumempfänger funktioniert nach dem Prinzip in Abbildung 1.1. Das empfangene Signal durchläuft eine Reihe von Verstärkern und Mixern und wird am Detektor als Signalleistung interpretiert und in eine proportionale Gleichspannung umgesetzt. Der Detektor besteht im einfachsten Falle aus einer Diode mit einer quadratischen Kennlinie, die das Eingangssignal gleichrichtet oder mathematisch ausgedrückt mit der Gleichung 1.1,

$$A \cdot \sin^2(x) = \frac{A}{2} + \frac{A}{2} \cdot \sin(2 \cdot x) \quad (1.1)$$

eine Frequenzumsetzung verursacht. Um die am Detektor gewonnene Gleichspannung ohne Verluste und Fehlereinflüsse an das Backend übertragen zu können, wird die Gleichspannung durch einen Spannungs-Frequenz-Umsetzer (V/F-Converter), wie der Name schon sagt, in Frequenz (Taktsignal) umgesetzt. Um eine Übertragungsstrecke von ca. 350 m überwinden zu können, werden RS-422 Leitungstreiber verwendet. Das am Backend ankommende Taktsignal inkrementiert einen Zähler über eine festgelegte Messdauer und ermöglicht durch Auswertung des Zählerstandes die Bestimmung der Leistung am Detektor.

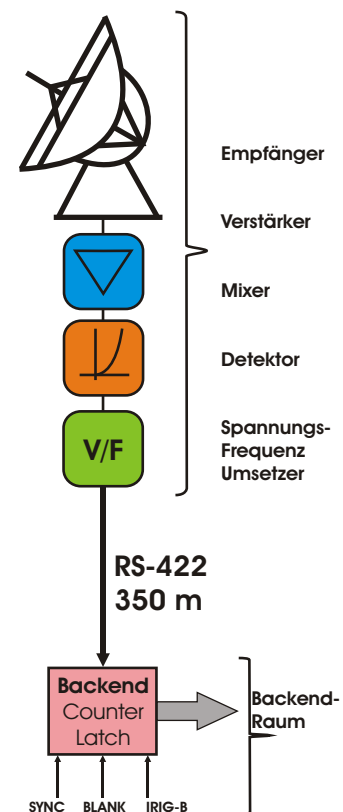


Abbildung 1.1: Bestehendes System in Effelsberg mit V/F-Converter

Das Max-Planck-Institut für Radioastronomie entwickelt derzeit einen neuen 7-beam 32 GHz Empfänger für das 100-m-Radioteleskop in Effelsberg. Die in diesem Kontinuumm Empfänger eingesetzten cryogenen¹ Verstärker basieren auf MMICs² in InP³-Technologie, die gegenüber den bei niedrigeren Frequenzen verwendeten HEMTs⁴ in GaAs-Technologie eine stärkere 1/f Gain-Instabilität aufweisen. Zur Kompensation dieser inhärenten Schwankungen wird der Empfänger als geschalteter Pseudo-Korrelations-Empfänger aufgebaut. Hierzu werden in allen Frontend-Kanälen elektronische 180°-Phasenschalter in MMIC-Technik eingesetzt, die durch zyklisches Schalten jeweils die beiden Kanäle eines korrelierten Signalzuges gegeneinander vertauschen. Theoretische Überlegungen sowie die Auslegung ähnlicher Empfänger zeigen, dass die benötigte Schaltfrequenz für eine Senkung der Gain-Fluktuation zum Gesamtrauschen von ungefähr 10 % im Bereich von einigen kHz liegt. Schaltfrequenzen im kHz-Bereich liegen außerhalb der technischen Möglichkeiten des vorhandenen Backends für Kontinuum-Beobachtungen, das auf den bereits genannten V/F-Convertern und binären Zählern basiert. Deshalb soll ein neues Backend entwickelt werden, welches den Ansprüchen des neuen Kontinuumm Empfängers gerecht wird.

1.1 Aufgabenstellung

Gegenstand der vorliegenden Diplomarbeit war der Entwurf und Aufbau eines neuen Kontinuumm-Backends für die Radioastronomie mit digitaler Signalnachbearbeitung in Echtzeit. Dabei sollten die im Folgenden aufgeführten Anforderungen beachtet und verwirklicht werden:

- Entwicklung der notwendigen Hardware:
 - mindestens 24 analoge Eingänge mit 18 Bit AD-Wandlern für die Erfassung der zur Leistung proportionalen Gleichspannung am Detektor und anderer Signale
 - digitale Ein- und Ausgänge mit RS-422 Schnittstellen für die Steuersignale (Blank, Sync, Chop)
 - IRIG-B⁵-Demodulator für die zeitliche Dokumentation der Messdaten

¹Flüssiges Helium oder Stickstoff sorgt für eine Abkühlung des Verstärkers auf eine Temperatur von wenigen Kelvin.

²monolithisch integrierter Mikrowellenschaltkreis

³Indiumphosphid, Halbleiterverbindung die besonders gut für die Hochfrequenztechnik geeignet ist

⁴High Electron Mobility Transistor

⁵GPS basiertes Zeitsignal

- Verwendung eines passenden FPGAs⁶ für die Abdeckung der gesamten Steuerung des Backends und zur Ermöglichung der digitalen Signalverarbeitung.
- Entwicklung einer geeigneten Schnittstelle für die Übertragung der Daten zum Kontrollraum, ohne die Empfänger und andere analoge Baugruppen zu stören.
- Entwicklung eines EMV-dichten Gehäuses, da das Backend sich in der Umgebung eines hoch empfindlichen, cryogenisch gekühlten Empfangssystems befindet.

1.2 Zusammenfassung der Ergebnisse

Bei der Durchführung der Diplomarbeit konnten alle der zuvor genannten Ansprüche realisiert und Probleme gelöst werden. Die Abbildung 1.2 zeigt den Aufbau des Empfangssystems mit dem neuen Backend.

Das in dieser Arbeit entwickelte Backend bietet:

- 32 analoge Eingangskanäle mit 18 Bit AD-Wandlern
- Es ermöglicht eine direkte Signalerfassung nach dem Detektor ohne zusätzliche V/F-Converter
- Variable Schaltfrequenz (CHOP-Signal) für die Vertauschung der Kanäle am Verstärker, somit lässt sich die optimale Schaltfrequenz ermitteln
- Ein EMV-dichtes Gehäuse für eine störungsfreie Funktion der Empfänger
- Eine optische 100Base-FX Schnittstelle, die eine optimale Übertragungsrates zum Kontrollraum ermöglicht, ohne die Umgebung zu stören
- Einen leistungsfähigen Xilinx-FPGA für die notwendige Signalnachbearbeitung

Lediglich das Erreichen der vollen 18 Bit Auflösung, bedingt durch die vorhandene nicht ausreichende Analogschaltung, erwies sich als schwierig (Begründung dafür und anzustrebende Lösungswege werden an entsprechender Stelle erläutert).

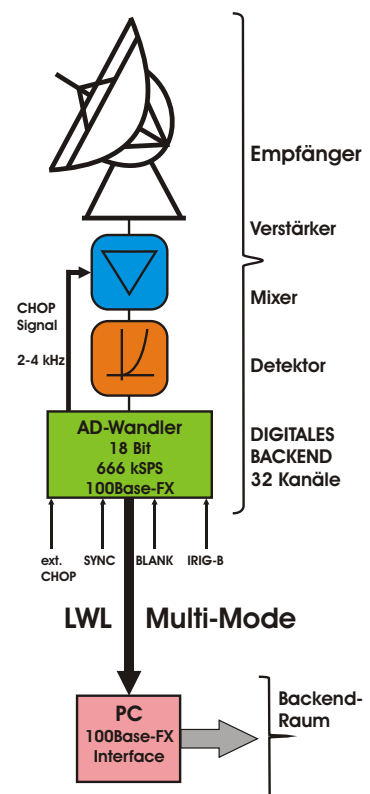


Abbildung 1.2: Das neue digitale Backend den für 7-beam 32 GHz Empfänger

⁶Field Programmable Gate Array

Die Abbildungen 1.3 und 1.4 zeigen den realisierten Prototyp und die Hardware des neuen Backends.

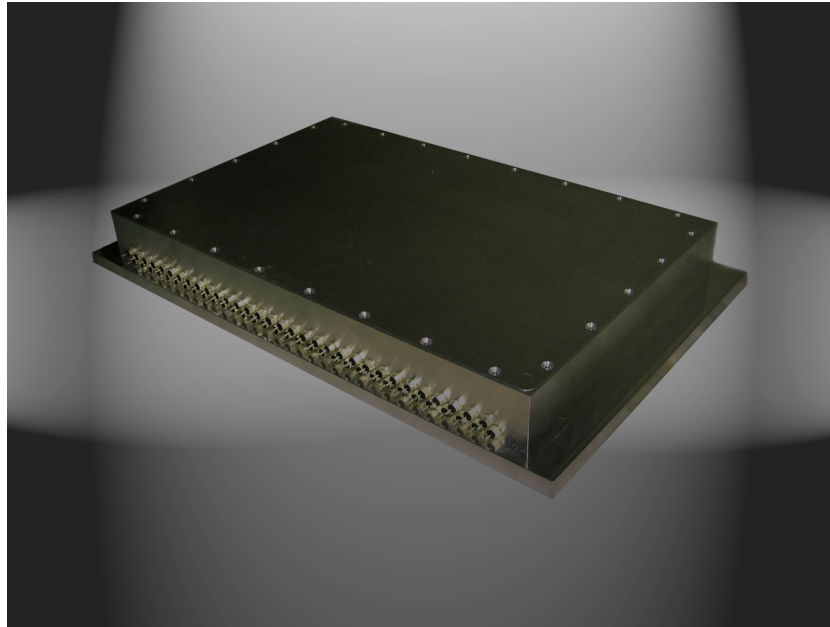


Abbildung 1.3: Das neue 32-Kanal-Backend

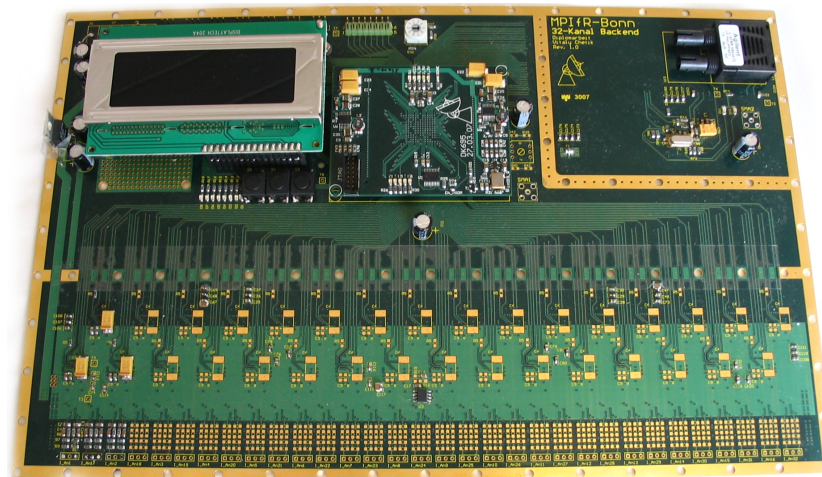


Abbildung 1.4: Realisierte Hardware

Die vorliegende Dokumentation gibt die Ergebnisse der Arbeit detailliert wieder und zeigt auf, wie die genannten Vorgaben verwirklicht wurden.

2 Auswahl der Schnittstelle zum Kontrollraum

Wie schon in der Einleitung erwähnt, befindet sich das neue Backend in unmittelbarer Nähe zum Empfänger und darf diesen auf keinen Fall stören. Die durch das Backend erzeugten elektromagnetischen Störungen können zwar durch ein EMV-gerechtes Layout und Gehäuse unterdrückt werden, ändern aber nichts an der Erzeugung elektromagnetischer Störungen in der Übertragungsstrecke zum Kontrollraum. Deshalb wurde nach einer Übertragungsmöglichkeit gesucht, die keine Auswirkungen auf den Empfänger und andere Baugruppen hat.

Um eine Auswahl an möglichen Schnittstellen aufzustellen, wurde zuerst die bestehende Installation in Effelsberg untersucht. Die Untersuchung ergab, dass eine Vielzahl an Twisted-Pair-Kabeln sowie einige Singelmode- und Multimode-Glasfasern zur Verfügung stehen. Zusätzlich werden einige Multimode-Glasfasern nachinstalliert. Die maximale Übertragungsstrecke vom Teleskop zum Kontrollraum beträgt ca. 350 Meter und grenzt damit die Auswahl an verfügbaren Übertragungsmöglichkeiten stark ein.

Aufgrund der großer Entfernung zum Kontrollraum und der notwendigen hohen Datenrate kommen die meisten gängigen Schnittstellen nicht in Frage. In Tabelle 2.1 werden einige Schnittstellen zum Vergleich dargestellt. Auf eine Auflistung paralleler Schnittstellen wurde verzichtet, da diese aufgrund der Entfernung nicht in Frage kommen.

Schnittstelle	Datenrate	Maximale Leitungslänge
RS232	gering	< 10m
RS422	gering	< 500m
100Base-TX	hoch	< 100m
100Base-FX	hoch	< 400/2000m

Tabelle 2.1: Auflistung einiger Schnittstellen

Wie man der Tabelle 2.1 entnehmen kann, scheint die Ethernetschnittstelle eine optimale Lösung zu sein. Die weit verbreitete 100Base-TX Schnittstelle ist fast in jedem Computer zu finden und stellt damit eine passende Gegenstelle zur Verfügung. Eine Übertragungsstrecke von mehr als 100 Metern lässt sich durch Zwischenschalten von Repeatern realisieren. Das einzige Problem liegt in der Abstrahlung von elektromagnetischen Wellen durch das Kupferkabel. Um eine Gleichstromunterdrückung und Taktrückgewinnung zu ermöglichen, durchlaufen die Daten einen 4B5B-Codierer sowie einen Scrambler. Das Ergebnis ist eine gleichmäßige Verteilung der Leistung über die gesamte Bandbreite. Störungen dieser Art verringern den Signal-Rausch- und Signal-Störabstand in den analogen Gruppen und lassen sich nur sehr schwer aus den Messdaten entfernen. Auch wenn man ein mehrfach abgeschirmtes Twisted-Pair-Kabel, z.B. SF/FTP, verwenden würde, könnte die Abstrahlung nicht komplett unterdrückt werden.

Um die Datenübertragung ohne Störung des Empfängers zu ermöglichen, kommt nur eine optische Übertragungsstrecke in Frage. Die Vorteile einer optischen Übertragungsstrecke liegen nicht nur in der elektromagnetischen Verträglichkeit, sondern auch in der deutlich längeren Übertragungsstrecke ohne Repeater. Der 100Base-FX Standard definiert eine Datenübertragung über Glasfaser und ist eine gute Alternative zu 100Base-TX. Die maximale Segmentlänge der Übertragungsstrecke kann durch Verwendung von leistungsfähigen Transceivern erweitert werden. Die genaue Realisierung der beiden Schnittstellen wird in Abschnitt 3.7.2 auf Seite 30 näher beschrieben.

3 Hardware

Das Blockschaltbild in Abbildung 3.1 zeigt die gesamte Hardware des neuen Backends. Die einzelnen Baugruppen werden in den nachfolgenden Abschnitten ausführlich erläutert.

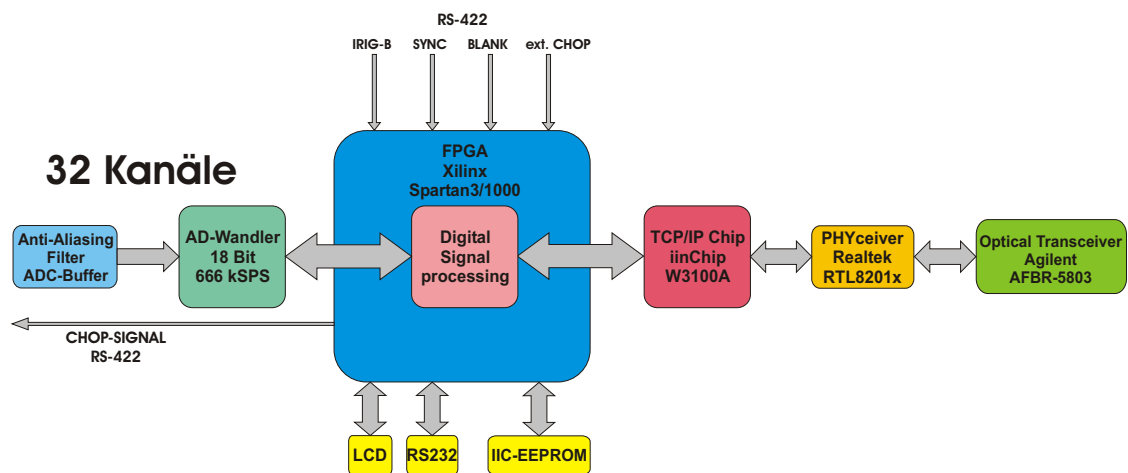


Abbildung 3.1: Blockschaltbild zur gesamten Hardware

3.1 Analogschaltung

Bei der Analogschaltung handelt es sich um eine bereits in einer vorhergehenden Arbeit untersuchten Filter-Variante, die als Anti-Aliasing-Filter und ADC-Buffer für einen 18 Bit AD-Wandler dienen soll. Dabei wurden mehrere Typen mit Hilfe des Online-Tools »Analog Filter Wizard« von »Analog Devices« entworfen und auf den Frequenzgang untersucht. Das Konzept wurde an dieser Stelle aufgegriffen und für das neue Backend realisiert.

Die Abbildung 3.2 auf der nächsten Seite zeigt die realisierte Analogschaltung des neuen Backends (farblich hervorgehoben). Sie besteht aus 32 analogen Eingangskanälen mit 18 Bit AD-Wandlern.

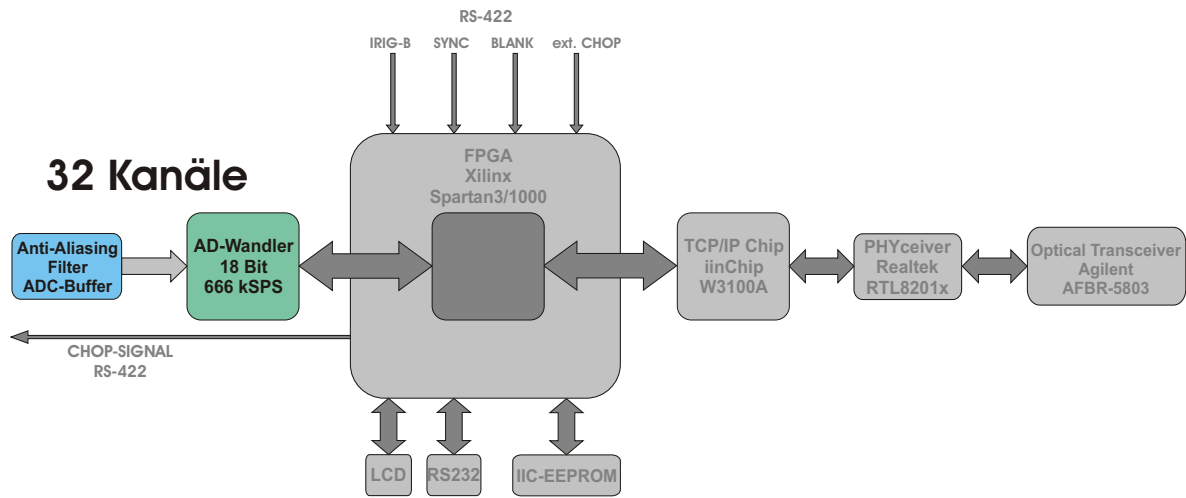


Abbildung 3.2: Blockschaltbild zur analogen Hardware

In Abbildung 3.3 ist die analoge Eingangsstufe ohne den AD-Wandler dargestellt. Das Filter besteht aus einem Bessel-Tiefpass 2. Ordnung mit nachgeschaltetem RC-Glied. Die Vorteile eines Bessel-Tiefpasses liegen hauptsächlich in seinem geringen Überschwingverhalten und kurzer Einschwingdauer auf sprunghafte Anregung. Für die Realisierung eines differentiellen Ein- und Ausgangs wurde das Filter in doppelter Ausführung verwendet.

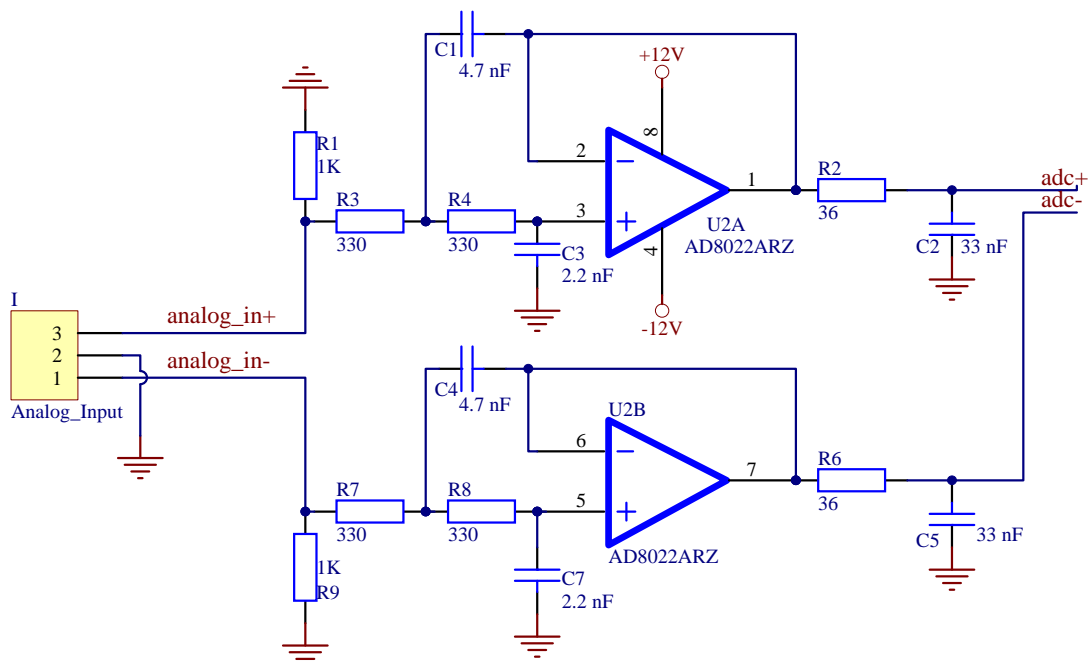


Abbildung 3.3: Analoge Eingangsstufe

Bei der vorangegangenen Festlegung der Schaltung hat man sich hauptsächlich auf die »Application Notes« des Herstellers verlassen und auf eine nähere Untersuchung verzichtet. Aus den bestehenden Messergebnissen ließ sich jedoch keine genaue Aussage über die Störnempfindlichkeit und tatsächliche Bitauflösung machen.

Deshalb wurde die vorgeschlagene Schaltung in Bezug auf den zu verwendenden 18 Bit AD-Wandler AD7674 nochmals untersucht. In den einzelnen Teilabschnitten wird eine theoretische Betrachtung und Realisierung der gesamten Analogschaltung durchgeführt und auf ihre Grenzen hingewiesen.

3.1.1 AD-Wandler AD7674

Für die Digitalisierung der Messdaten soll ein möglichst hochauflösender und schneller AD-Wandler verwendet werden, damit man in den kurzen Messphasen von ca. 250/500 μ s einen möglichst hohen Informationsgehalt erreicht. An den zu verwendenden AD-Wandler wurden deshalb folgende Ansprüche gestellt:

- 100 kHz Bandbreite für Eingangssignale
=> setzt eine minimale Abtastrate > 200 kSample/s voraus
- 18 Bit Auflösung
- hoher Dynamikbereich
- geringe Wandlungszeit bei sprunghafter Anregung
- differentieller Eingang
- hoher Signal-Rauschabstand

Der zum Einsatz kommende AD7674 ist im Augenblick einer der leistungsfähigsten SAR (sukzessive Approximation) AD-Wandler auf dem Markt und erreicht bei einer maximalen Abtastrate von 800/666 kSample/s eine Auflösung von bis zu 18 Bit. Die Auflistung zeigt einige wichtige Eigenschaften des AD7674:

- 103 dB Dynamikbereich
- 18 Bit Auflösung
- 100 dB S/(N+D) @ (2 kHz)
- 666 kSample/S (Normal mode)
- serielle/parallele Datenübertragung

- No pipeline delay SAR architecture (sukzessive Approximation)
- differentieller Eingang

Der große Dynamikbereich des AD7674 ermöglicht Messungen von $\pm 31,25 \mu\text{V}$ (1LSB) bis $\pm 4,096 \text{ V}$ (Full Scale Range) ohne zusätzliche Verstärkung. Die hohe Abtastrate mit 666 kSample/s liegt weit über der gewünschten Abtastrate und ermöglicht bei einer Messdauer von $250 \mu\text{s}$ ca. 166 Stichproben. Um die Maximalwerte des AD-Wandlers zu erreichen, müssen sehr hohe Ansprüche an die Versorgungsspannung und restliche Schaltung gestellt werden. Die meisten nicht idealen Eigenschaften des AD7674 können zwar nicht direkt verbessert oder beeinflusst werden, es ist aber gut ihre Grenzen zu kennen und bei der Auslegung der Anti-Aliasing-Filter und ADC-Treiber (ADC-Buffer) zu berücksichtigen. Die Angaben der Hersteller werden nur unter idealen Bedingungen erreicht und können in der Praxis nur näherungsweise realisiert werden. Die nachfolgenden Untersuchungen erläutern einige wichtige Parameter, die eine direkte Auswirkung auf die Eigenschaften des AD-Wandlers haben und bei der Realisierung der Schaltung berücksichtigt wurden.

3.1.1.1 Temperaturabhängigkeit

Mit steigender Temperatur verschlechtert sich zum einen der Signal-Rauschabstand (S/N) und zum anderen steigt die harmonische Verzerrung an. Die Abbildung 3.4 zeigt den direkten Einfluss der Temperatur auf den Signal-Rauschabstand inkl. Verzerrung und die effektive Anzahl an Bits (ENOB). Besonders auffällig ist die Steigung der Verzerrung, wobei der S/N nur langsam abfällt. Aus der Summe der beiden (S/[N+D]) lässt sich nach Gleichung 3.1 die ENOB berechnen.

$$ENOB = \frac{\frac{S}{N+D} - 1.76}{6.02} \quad (3.1)$$

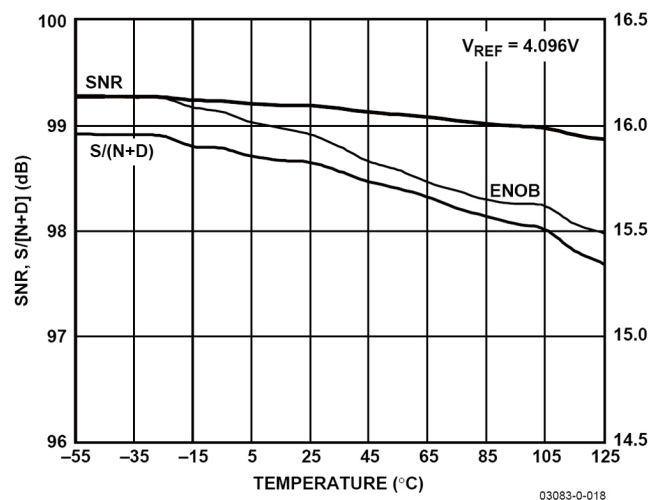


Figure 18. SNR, S/[N+D], and ENOB vs. Temperature

Abbildung 3.4: Temperatureinfluss auf die effektive Anzahl an Bits (Analog Devices)

Die Abbildung 3.5 zeigt die Abhängigkeit des Verstärkungsfehlers (Gain Error) und des Offset-Fehlers (Zero Error) von der Temperatur. Auch wenn der Gain Error ein systematischer Fehler ist, so lässt er sich nicht wie der Zero Error durch Differenzmessungen kompensieren. Für eine maximale Genauigkeit wird deshalb eine Umgebungstemperatur von ca. 25° C gefordert.

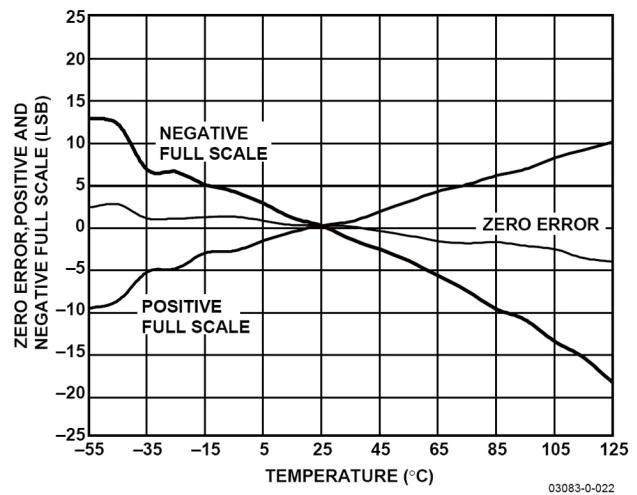


Figure 22. Zero Error, Positive and Negative Full Scale vs. Temperature

Abbildung 3.5: Gain Error und Zero Error durch Temperatureinfluss (Analog Devices)

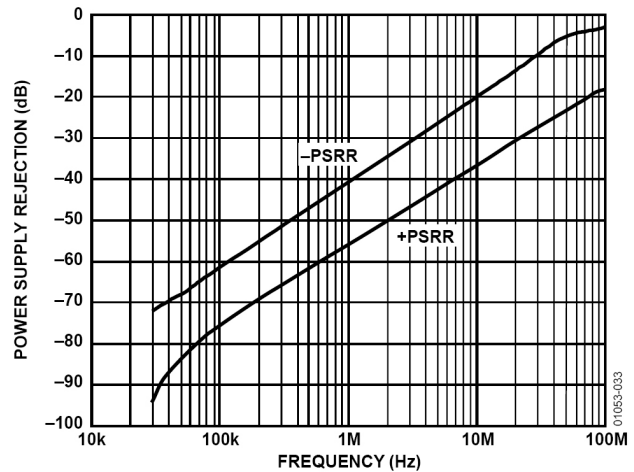
3.1.1.2 Versorgungsspannung

Der AD7674 hat insgesamt drei Versorgungsspannungen. Zwei davon werden für den digitalen Bereich verwendet und eine für den analogen. Die Auflistung zeigt die notwendigen Spannungen:

- +5V analog
- +5V digital (interne Logik)
- +3,3V/+5V digital (I/O-Interface)

Für maximale Auflösung und hohen Signal-Rauschabstand sollte die analoge Versorgungsspannung nicht mit der digitalen verbunden werden. Auch wenn der AD7674 eine durchaus hohe Netzstörunterdrückung (PSRR) von 60 dB

hat, so wird diese aber nur bis 100 kHz erreicht (Abbildung 3.6). Danach ist ein starker Abfall zu beobachten. Störungen ab 100 MHz können nahezu ungedämpft auf den AD-Wandler



Power Supply Rejection vs. Frequency $V_S = \pm 12 V$

Abbildung 3.6: Netzstörunterdrückung PSRR (Analog Devices)

wirken und würden den (S/N) deutlich verschlechtern. Deshalb wird die analoge Versorgungsspannung aus einer unabhängigen +12 V Quelle mit einem Festspannungsregler LT-1085 realisiert. Der LT-1085 deckt mit seinem Ausgangsstrom von bis zu 3 A den gesamten Leistungsbedarf der Analogschaltung ab. Außerdem schafft man durch ihn eine zusätzliche Unterdrückung der Restwelligkeit des speisenden Schaltnetzteils. Die Abbildung 3.7 zeigt die realisierte Spannungsversorgung (+5 V analog). Der zusätzlich vorgesehene Spannungsregler 78M05 ist nur für die Entwicklungsphase ohne Gehäuse notwendig.

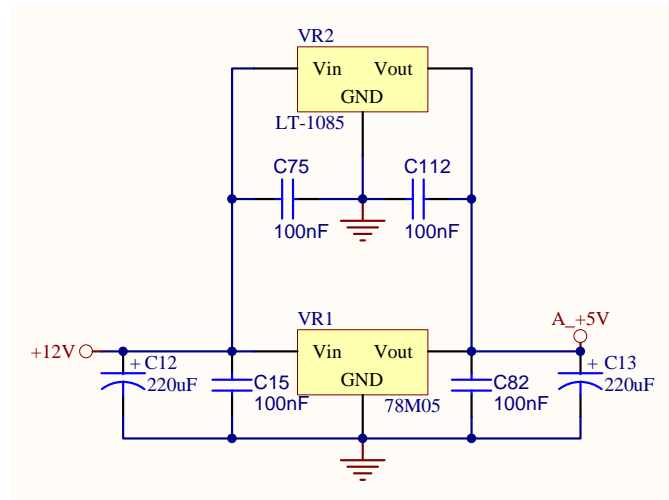


Abbildung 3.7: +5 V analoge Spannungsversorgung für AD-Wandler

3.1.1.3 Referenzspannung

Die Referenzspannung für die Quantisierungsstufe wird von einem hoch genauen »Voltage Reference« Baustein ADR421 abgeleitet und intern auf 4,096V verstärkt. Es ist besonders wichtig, eine möglichst genaue und rauscharme Referenzspannung zu erzeugen, sonst muss man mit Auflösungsverlusten und Ungenauigkeiten rechnen. Die Abbildung 3.8 zeigt die realisierte Referenzspannung mit ihrer externen Beschaltung. Mit Hilfe der beiden Widerstände R10 und R19 kann die Referenzspannung nachge-

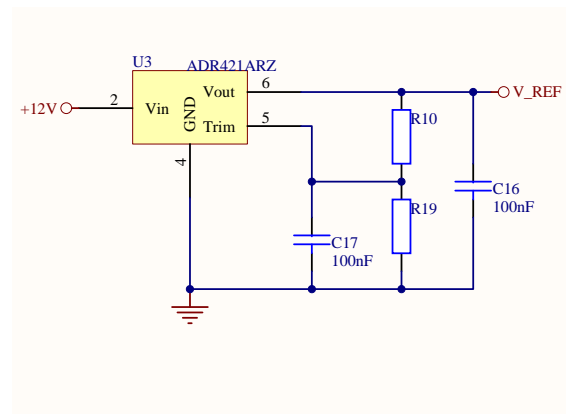


Abbildung 3.8: Referenzspannung für AD7674

trimmt werden. Durch die Kondensatoren wird die Spannung stabilisiert und gegen Schwingverhalten geschützt.

3.1.2 Operationsverstärker AD8022

Der eingesetzte Operationsverstärker (OPV) in Abbildung 3.9 soll sich besonders gut für die Realisierung aktiver Filter und ADC-Buffer eignen. Obwohl er für einen 16 Bit AD-Wandler spezifiziert ist, wird er trotzdem vom Hersteller empfohlen. Die Eignung in Hinblick auf die zu realisierende Schaltung und den eingesetzten 18 Bit AD-Wandler soll etwas näher untersucht werden. Die unten angegebene Liste zeigt einige wichtige Eigenschaften des Operationsverstärkers auf, die im Anschluss näher betrachtet werden. Weitere Angaben sind im Datenblatt zu finden.

FUNCTIONAL BLOCK DIAGRAM

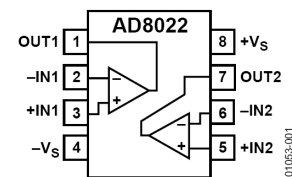


Abbildung 3.9: Blockdiagramm AD8022 (Analog Devices)

- 130 MHz Kleinsignalbandbreite @ $U_{out,ss} = 50 \text{ mV}$, $G = +1$
- 4 MHz Großsignalbandbreite @ $U_{out,ss} = 4 \text{ V}$, $G = +1$
- 62 ns Einschwingzeit 0.1 % @ $U_{out,ss} = 2 \text{ V s-s}$
- Verzerrungen @ ($U_{out,ss} = 2 \text{ V}$, $f_c = 1 \text{ MHz}$)
 - 2. Oberschwingung -95 dBc
 - 3. Oberschwingung -100 dBc
- 98 dB Gleichtaktstörunterdrückung (CMRR) @ $U_{cm} = 2.5 \text{ V}$, $U_s = \pm 5.0 \text{ V}$
- 80 dB Netzstörunterdrückung (PSRR) @ $U_s = \pm 5 \text{ V}$ bis $\pm 12 \text{ V}$
- -77/-82 dB Übersprechen an Ausgängen (Crosstalk) $\leq 10 \text{ kHz}$

Einige nicht ideale Eigenschaften des OPV, wie Offsetstrom und -spannung, spielen bei den meisten Messverfahren im Teleskop Effelsberg keine besondere Rolle. Solche systematischen Fehler können durch Kalibrierung oder Differenzbildung aus den Messdaten entfernt werden und beeinflussen nicht die Messgenauigkeit. Es muss nur garantiert werden, dass sie über die Messperioden konstant bleiben. Weil der AD8022 keine Möglichkeit für Offset-Abgleich bietet, muss es im digitalen Datenstrom verrechnet werden.

3.1.3 Bandbreite und Frequenzgang

Für einen Tiefpass mit einer Grenzfrequenz von 100 kHz und einer Verstärkung von 0 dB reicht die Bandbreite des AD8022 vollkommen aus. Selbst bei einer Ausgangsspannung von $U_{out,ss} = 4\text{ V}$ liegt die Grenzfrequenz lt. Datenblatt bei 4 MHz. Interessant ist eher das Einschwingverhalten auf Rechtecksignalen am Eingang. Das Frequenzspektrum eines Rechtecksignals beinhaltet außer der Grundfrequenz noch eine Vielzahl an ungeradzahigen Oberschwingungen und wird mathematisch wie folgt beschrieben (Gleichung 3.2 (Bartsch 2001, S. 537)).

$$f(t) = \hat{U} \frac{4}{\pi} \left(\sin t + \frac{1}{3} \sin 3t + \frac{1}{5} \sin 5t + \dots \right) \quad (3.2)$$

Bedenkt man, dass ein ideales Rechtecksignal sich über das gesamte Frequenzspektrum verteilt und Frequenzanteile bei ungeradzahigen Vielfachen der Taktfrequenz hat, dann muss der Operationsverstärker auf seine Eigenschaften etwas näher untersucht werden.

Anhand des Bode-Diagramms in Abbildung 3.10 lässt sich auf einige wichtige Eigenschaften des AD8022 zurückschließen. Mit einer Phasenreserve von ca. 80° bei 0 dB Durchgang, kann die gewünschte Schaltung nie instabil werden.

Aufgrund der hohen Phasenreserve, kann man davon ausgehen, dass es auch keine Überhöhung (Gain Peaking) geben wird. Mit Hilfe der Gleichung 3.3 (Aurich 2005, Bauelemente und Elektronik) kann die maximale Überhöhung berechnet werden.

$$\frac{GP}{dB} = -10 \cdot \log[(1 - \cos(\alpha))^2 + \sin(\alpha)^2] \quad (3.3)$$

$$\frac{GP}{dB} = -10 \cdot \log[(1 - \cos(80^\circ))^2 + \sin(80^\circ)^2] = -2,18 \quad (3.4)$$

Bei einem negativen Gain Peaking kann man davon ausgehen, dass die Schaltung bei Anregung mit Rechtecksignalen kein Überschwingverhalten zeigt.

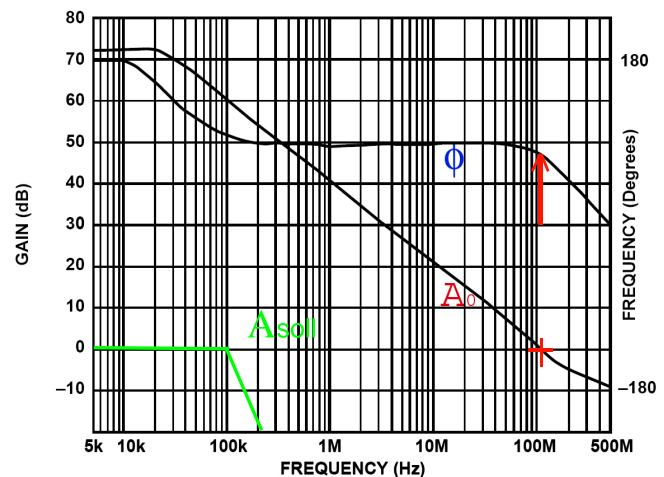


Abbildung 3.10: Leerlaufverstärkung und Phasengang (Analog Devices)

3.1.4 Einschwingverhalten

Die Einschwingdauer des Operationsverstärkers ist besonders für sprunghaft ändernde Messsignale von Bedeutung. In der Testschaltung von »Analog Devices« mit einer Verstärkung von $G = +2$ wird eine Genauigkeit von 99,9 % bereits nach 68 ns erreicht, bei einer Verstärkung von $G = +1$ bereits nach 62 ns. Wie bereits erwähnt, zeigt der Operationsverstärker kein nennenswertes Überschwingverhalten (Abbildung 3.11). Auch wenn es noch nicht auf das letzte Bit genau ist, so kann man davon ausgehen, dass der OPV innerhalb weniger Abtastwerte seinen Endwert erreicht und bei weitem schneller ausregelt als der zu realisierende Tiefpass.

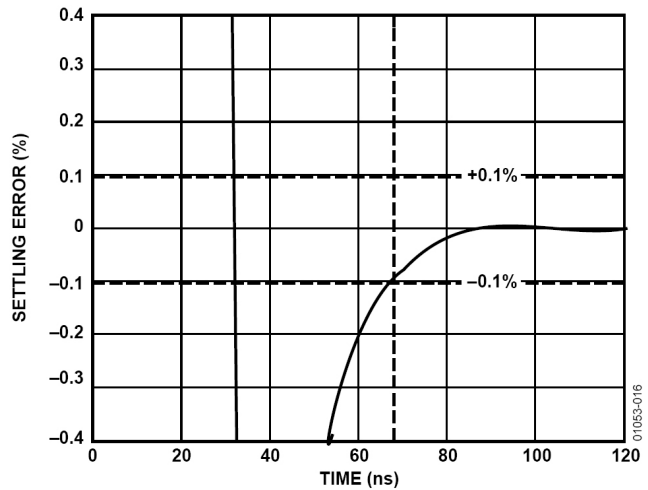
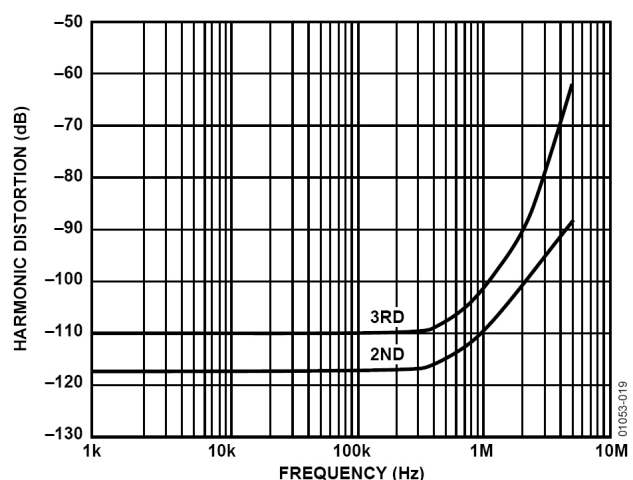


Figure 16. Settling Time to 0.1%, $V_S = \pm 12\text{ V}$,
Step Size = 2 V p-p, $G = +2$, $R_L = 500\ \Omega$

Abbildung 3.11: Einschwingverhalten @ $G = +2$ (Analog Devices)

3.1.5 Nichtlineare Verzerrungen

Nichtlineare Verzerrungen können beispielsweise im Frequenzbereich untersucht werden. Durch nichtlineare Verzerrungen entstehen aus einem Sinus signal am Eingang zusätzliche Oberschwingungen am Ausgang. Anders ausgedrückt kann man sagen, dass die Verstärkung über den Aussteuerungsbereich nichtlinear verläuft. Die Abbildung 3.12 zeigt die dadurch entstehenden Anteile der zweiten und dritten Oberschwingung eines Sinussignals. Bei einer Aussteuerung von $\pm 2\text{ V}$ erreicht



Distortion vs. Frequency, $V_S = \pm 12\text{ V}$, $R_L = 500\ \Omega$,
 $R_F = 0\ \Omega$, $V_{out} = 2\text{ V p-p}$, $G = +1$

Abbildung 3.12: Distortion vs. Frequency (Analog Devices)

der AD8022 eine Pegeldifferenz zu der zweiten Oberschwingung von bis zu 110 dBc. Bei gleich bleibender Eingangsspannung steigt die Verzerrung lt. Datenblatt mit fallender Versorgungsspannung an. Deshalb ist eine möglichst hohe Versorgungsspannung zu empfehlen. Eine geringfügige Erhöhung der nichtlinearen Verzerrung durch die Verwendung der beiden OPV ist möglich. Bei einer Verdoppelung der Verzerrung würde die Pegeldifferenz um 6 dB fallen. Für den eingesetzten AD-Wandler mit einem Dynamikbereich von 103 dB sollte bei einer Eingangsbandbreite von 100 kHz kein nennenswerter Verzerrungsanteil entstehen.

3.1.6 Gleichtaktstörunterdrückung CMRR

Die Gleichtaktstörunterdrückung der einzelnen Operationsverstärker zeigt hervorragende Wirkung und würde normalerweise für die Anwendung vollkommen reichen (Abbildung 3.13). Gerade Störungen im NF-Bereich wie Netzspannung werden mit 98 dB unterdrückt und selbst bei der gewünschten Grenzfrequenz von 100 kHz wäre immer noch eine Dämpfung von 80 dB. Für die Realisierung der differentiellen Ein- und Ausgänge werden aber beide Operationsverstärker im AD8022 benötigt. Aufgrund von Bauteiltoleranzen der beiden

Operationsverstärker und der RC-Glieder erhöht sich die Gleichtaktempfindlichkeit der Schaltung und entspricht nicht mehr dem CMRR eines einzelnen OPV. Daher ist die Verwendung von Bauteilen mit möglichst geringer Toleranz von großer Bedeutung. Im Augenblick sind die Auswirkungen unbekannt und können erst nach dem Fertigstellen des Gerätes untersucht werden. Mit Hilfe der Simulationsschaltung in Abbildung 3.14 auf der nächsten Seite kann aber der erste Eindruck gewonnen werden.

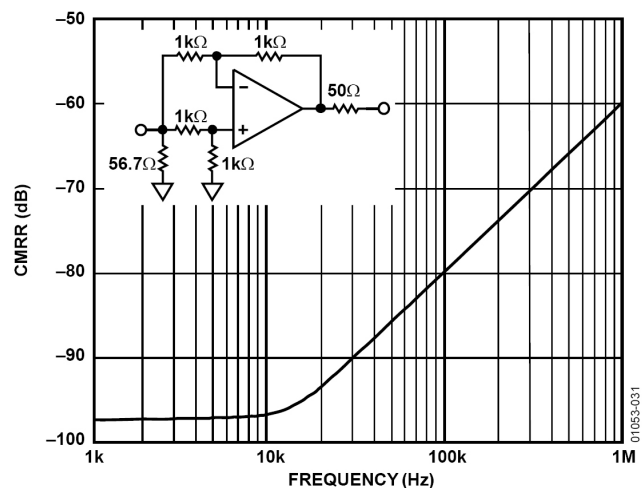


Abbildung 3.13: CMRR vs. Frequency (Analog Devices)

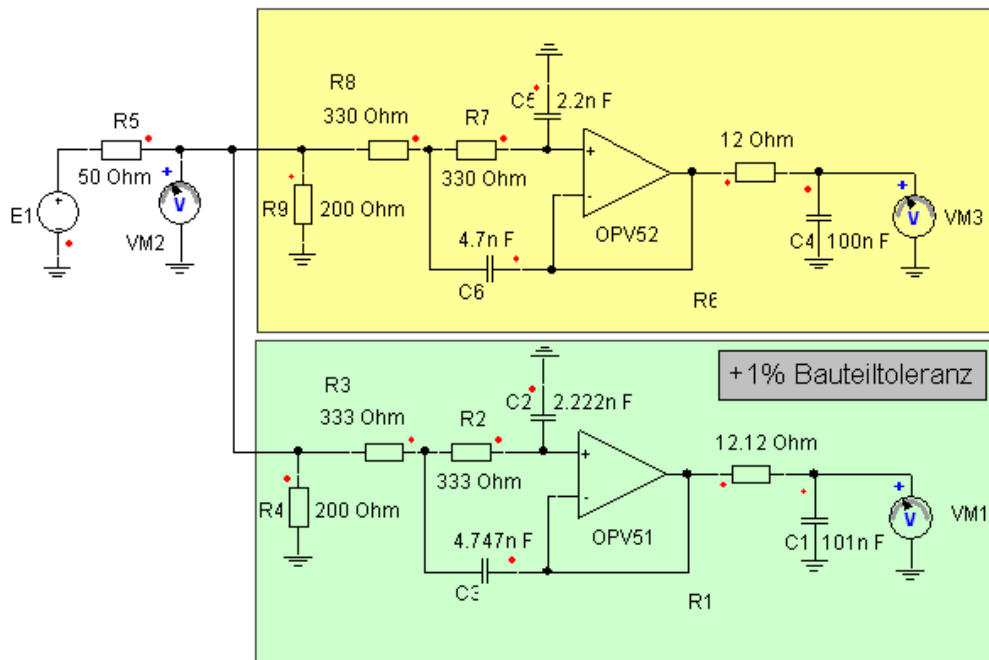


Abbildung 3.14: Simulationsschaltung

Bei einer Bauteiltoleranz von +1 % der passiven Bauelemente entsteht nach Abbildung 3.15 folgende Gleichtaktstörunterdrückung. Mit steigender Frequenz vergrößert sich die Differenz im Amplituden- und Phasengang der beiden Filter und sorgt für eine Differenzspannung am Ausgang. Erst nach 100 kHz ist ein erneuter Dämpfungsanstieg zu beobachten, der durch das Tiefpassverhalten verursacht wird.

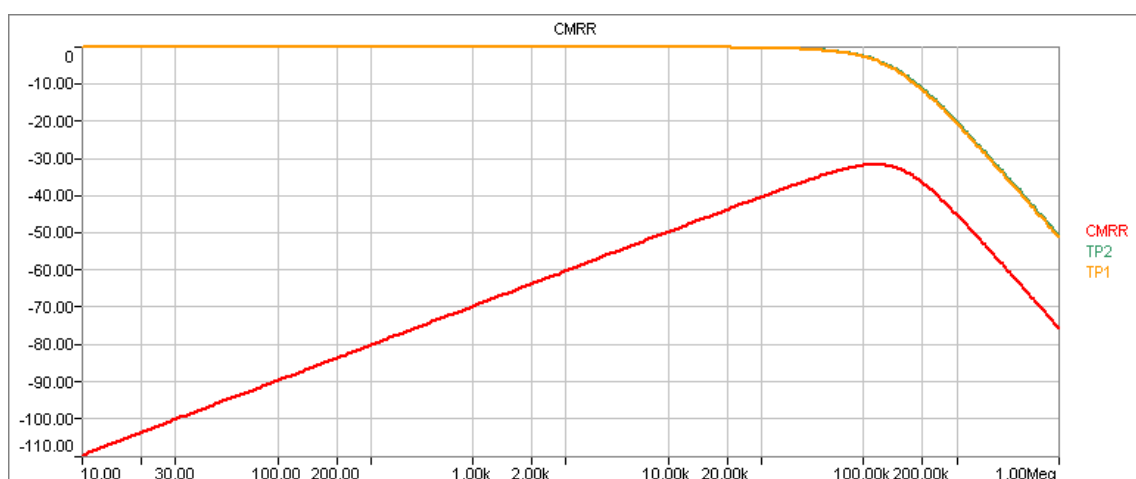
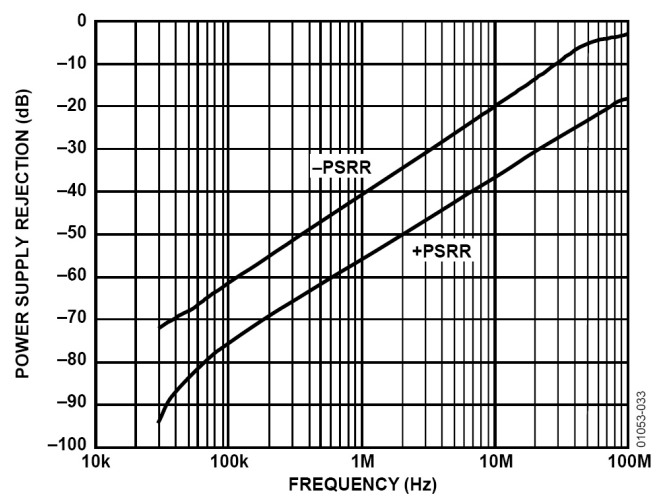


Abbildung 3.15: Simulation der Gleichtaktstörunterdrückung

3.1.7 Versorgungsspannung

Weitere wichtige Parameter sind die Versorgungsspannung und die Netzstörunterdrückung (PSRR). Bei hoher Versorgungsspannung erreicht man lt. Datenblatt in den meisten Fällen bessere Ergebnisse. Die Auslegung der Versorgungsspannung richtet sich nach der gewünschten Ausgangsspannung. Für einen Aussteuerungsbereich von 0 V bis 4,096 V muss eine symmetrische Versorgungsspannung verwendet werden, damit auch um die Nulllinie keine nichtlinearen Verzerrungen entstehen. Bei der gewünschten Großsignal-Aussteuerung sollte eine Spannung von ± 9 bis ± 12 V reichen.

Die Abbildung 3.16 zeigt die Netzstörunterdrückung des AD8022 über der Frequenz. Nur im unteren Frequenzbereich wird eine hohe Störunterdrückung erreicht, die mit steigender Frequenz deutlich nachlässt und nahezu gegen Null geht. Störungen in der Versorgungsspannung durch verwendete Schaltnetzteile und andere Baugruppen wie FPGA und Ethernet sind nicht auszuschließen und müssen ausreichend unterdrückt werden. Eine effektive Entstörung und Entkopplung der Versorgungsspannungen wird in Kapitel 4 auf Seite 43 näher beschrieben.



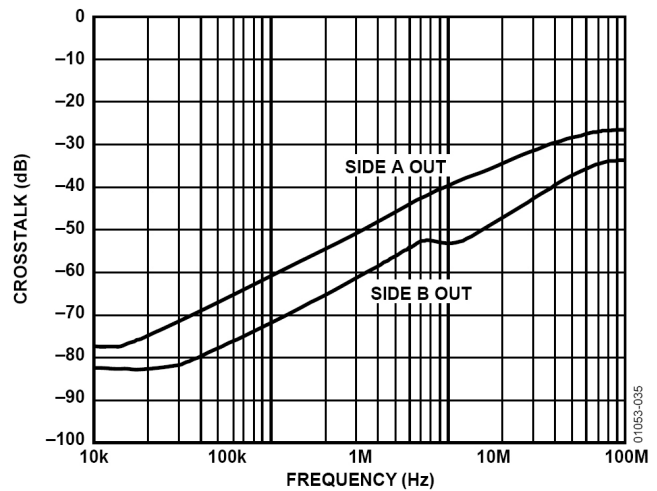
Power Supply Rejection vs. Frequency $V_S = \pm 12$ V

Abbildung 3.16: Netzstörunterdrückung vs. Frequenz (Analog Devices)

3.1.8 Crosstalk

Durch die Verwendung von beiden Operationsverstärkern in einem Gehäuse lässt sich Kanalübersprechen nicht vermeiden. Die Abbildung 3.17 auf der nächsten Seite zeigt das Übersprechen der beiden Kanäle in Abhängigkeit von der Frequenz. Für die Messsignale ist eigentlich nur der untere Frequenzbereich von Bedeutung. Bedenkt man, dass die Ansteuerung der beiden OPV in entgegengesetzte Richtung erfolgt, dann muss mit einer starken Abweichung an beiden Ausgängen gerechnet werden. Bei einem Cross-Talk von 82 dB Abstand erreicht man gerade mal die notwendige Genauigkeit für einen 13 bis 14 Bit AD-Wandler.

Dieser systematische Fehler lässt sich auch durch Differenzbildung nicht kompensieren und muss durch eine Multiplikation mit einem Faktor korrigiert werden. Dies setzt jedoch voraus, dass die beiden Ausgängen absolut symmetrisch angesteuert werden und der Offset am Eingang konstant bleibt, weil am Ausgang nur die Differenz gemessen werden kann und das Übersprechen der beiden Ausgänge nicht identisch ist. Die Abbildung 3.18 zeigt das Ergebnis einer Simulation des Übersprechens von OUT-B nach OUT-A bei einer Eingangsspannung von $U_{ss} = 2 \text{ V}$.



Output-to-Output Crosstalk vs. Frequency, $V_s = \pm 12 \text{ V}$

Abbildung 3.17: Output-to-Output Crosstalk vs. Frequency(Analog Devices)

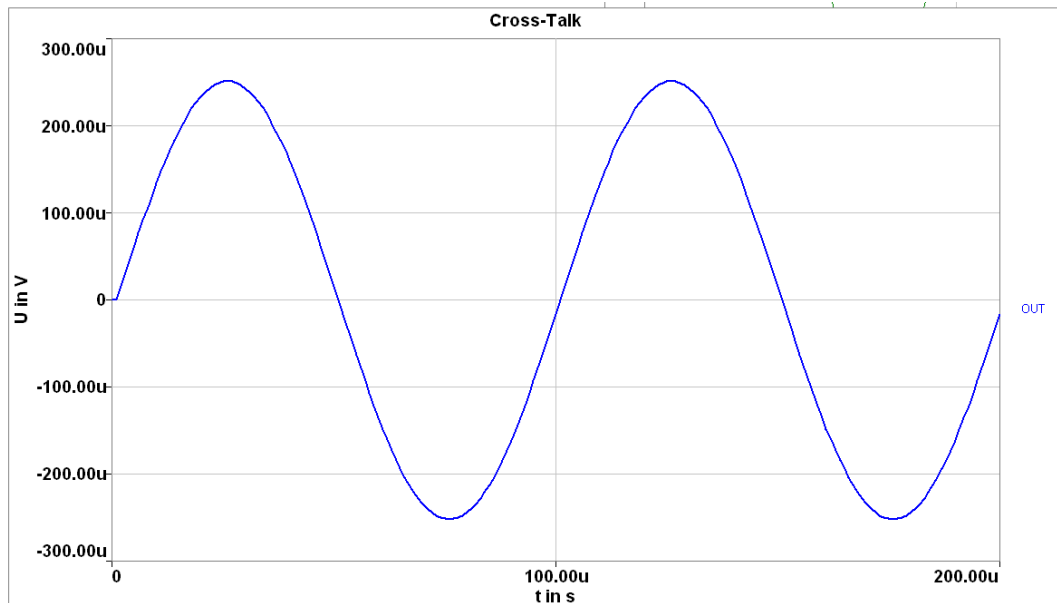


Abbildung 3.18: Cross-Talk im AD8022

Wie man dem Simulationsergebnis entnehmen kann, entsteht bei einem Crosstalk von -78 dB bereits eine Spannung von $250 \mu\text{V}$, die eine Abweichung von 8 LSB verursacht. Bei einer symmetrischen Ansteuerung der beiden OPV würde eine Abweichung von 13 LSB entstehen.

3.2 Frequenzgang des Anti-Aliasing-Filters

Die festgelegte Grenzfrequenz von 100 kHz liegt zwar deutlich unter der halben Abtastrate, reicht aber für die Unterdrückung aller Aliasing-Effekte bei weitem nicht aus. Bei einem Abfall von ca. 60 dB/dec erreicht das Filter bei einer Nyquist-Frequenz von ca. 333 kHz gerade mal eine Dämpfung von 23 dB (Abbildung 3.19). Für den eingesetzten 18 Bit AD-Wandler wäre bei der genannten Nyquist-Frequenz eine Dämpfung von über 100 dB nötig. Die verwendete Schaltung erreicht erst bei einer Frequenz von ca. 10 MHz die notwendige Dämpfung. Für das Eingangssignal bedeutet es aber, dass es keine nennenswerten Störanteile über der Nyquist-Frequenz beinhalten darf.

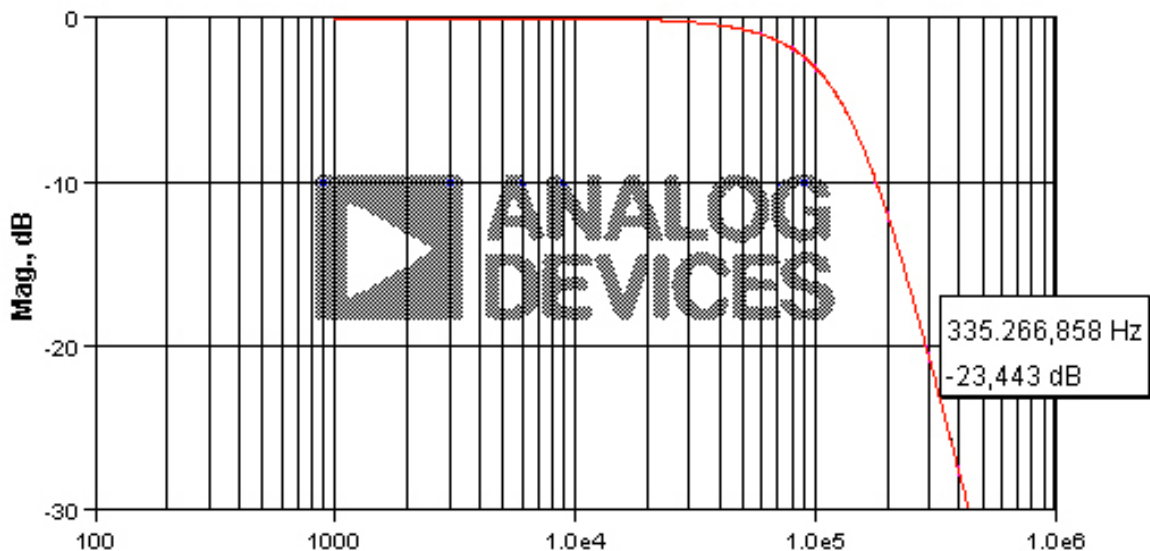


Abbildung 3.19: Frequenzgang der analogen Eingangsstufe

3.3 Eingangswiderstand

Im Idealfall sollte der Eingangswiderstand dem Ausgangswiderstand der Quelle und der Leitungsimpedanz von 50 Ω entsprechen. Durch die Impedanzanpassung werden Reflexionen und Überschwingungen vermieden und die abgestrahlte Leistung minimiert. Der niedrige Eingangswiderstand macht auch die Eingangsstufe deutlich unempfindlicher gegen hochohmige Störquellen und verbessert den Signal-Störabstand. Zusätzlich wird die Einschwingdauer

der vorgeschalteten EMI-Filter verkürzt (siehe Abschnitt 3.22). Aufgrund der hohen Verlustleistung, die bei einem 50 Ohm Eingangswiderstand entstehen würde, wird zunächst ein Eingangswiderstand zwischen 100 und 500 Ohm verwendet. Mit Hilfe der Gleichungen 3.5 bis 3.6 wurden die Verlustleistungen bei einer Quellenspannung von 4,096 V berechnet und im Diagramm 3.20 dargestellt.

$$P_{ges} = \frac{U^2}{(R_{out} + R_{in})} \quad (3.5)$$

$$P_{R_{out,50}} = \frac{U^2 \cdot R_{out,50}}{(R_{out,50} + R_{in})^2} \quad (3.6)$$

$$P_{R_{in}} = \frac{U^2 \cdot R_{in}}{(R_{out,50} + R_{in})^2} \quad (3.7)$$

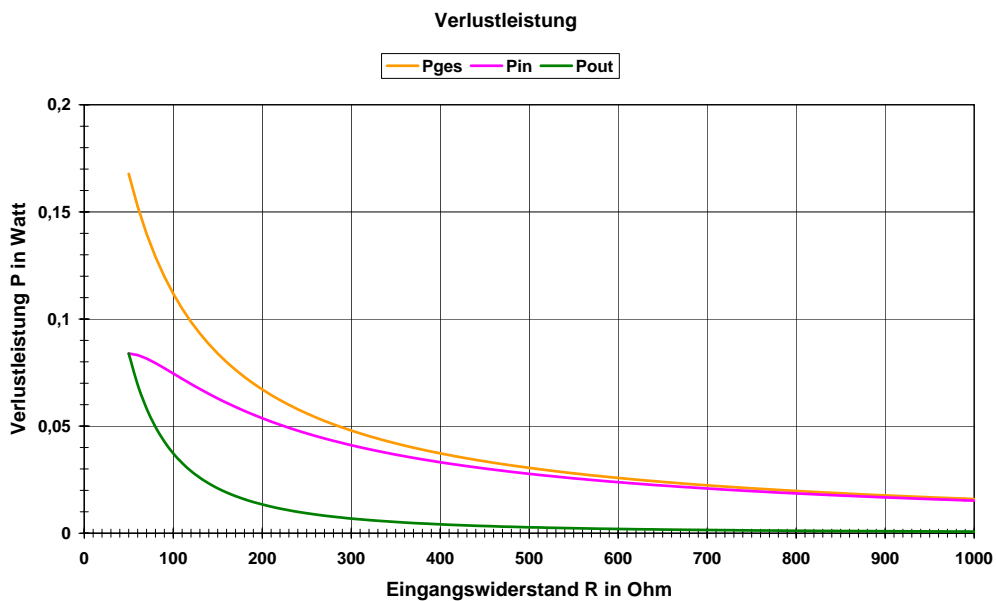


Abbildung 3.20: Verlustleistung

Je nach Auswahl der Widerstände sollte der Aussteuerungsbereich angepasst werden. Mit jedem nicht genutzten MSB verliert man ca. 6 dB an Signal-Rauschabstand.

3.4 Ausgangswiderstand der Schaltung

Die hohe Versorgungsspannung von $\pm 12\text{ V}$ stellt im Fehlerfall oder bei hoher Eingangsspannung eine Gefahr für die gesamte Schaltung dar. Weil die Eingangswiderstände des AD-Wandlers hinter den Schutzdioden sitzen, muss der Strom durch den Ausgangswiderstand der Filterschaltung begrenzt werden. Bei der Festlegung des Vorwiderstandes ist zu berücksichtigen, dass ein zu hoher Wert einen Einfluss auf die Auf- und Entladungszeit des S&H-Kondensators (Sample und Hold) hat und lt. Datenblatt sich die Verzerrungen erhöhen. Deshalb wurde der minimale Ausgangswiderstand nach dem schwächsten Glied berechnet.

- Der AD8022 ist eigentlich kurzschlussfest und hat einen max. Ausgangsstrom von 100 mA, erreicht aber je nach Versorgungsspannung eine unzulässig hohe Verlustleistung.
- Die Schutzdioden des AD-Wandlers haben eine max. Strombelastbarkeit von 120 mA. Damit sollte es bei kurzzeitigem Übersteuern zu keiner direkten Zerstörung führen und ein Vorwiderstand wäre überflüssig.
- Bei längerer Belastung in positive Richtung ist eine max. Verlustleistung am AD8022 von

$$P_v = (12 - 5 - 0,5)V \cdot 0,1A = 0,65W \quad (3.8)$$

zu erwarten. Bei dem verwendeten SOIC-Package darf bei dieser Verlustleistung eine max. Umgebungstemperatur von ca. $60\text{ }^\circ\text{C}$ nicht überschritten werden. Bei einer ausreichenden Kühlung, sollte keine Gefahr für die Bauteile bestehen.

- Bei längerer Belastung in negative Richtung ist eine max. Verlustleistung am AD8022 von

$$P_v = (12 - 0,5)V \cdot 0,1A = 1,15W \quad (3.9)$$

zu erwarten. Um eine Verlustleistung von 1,15 W sicher abführen zu können, darf eine Umgebungstemperatur von $-10\text{ }^\circ\text{C}$ nicht überschritten werden. Bei einem Wärmewiderstand $\Theta_{JA} = 160\text{ }^\circ\text{C/W}$ und normaler Raumtemperatur wird die max. zulässige Sperrschichttemperatur überschritten und der AD8022 zerstört.

- Der im Augenblick ausgelegte Vorwiderstand von $36\ \Omega$ (R2 und R6) muss im Extremfall eine Verlustleistung von 0,36 W vertragen. Die eingesetzten 0805 SMD-Widerstände haben eine max. Verlustleistung von 125 mW und würden die Belastung nicht aushalten.
- Ein Vorwiderstand von 12 bis $15\ \Omega$ hätte eine Verlustleistung von ca. 150 mW und würde bei einer ausreichenden Kühlung es aushalten. Vorsichtshalber kann man die

Widerstände aus der 1206-Baugröße verwenden. Der AD8022 hätte dann eine Verlustleistung von

$$P_v = (12 - 1,5 - 0,5)V \cdot 0,1A = 1W \quad (3.10)$$

was eine direkte Zerstörung vermeiden würde. Es wird aber eine gute Kühlung der Widerstände und des OPV vorausgesetzt.

Um den Tiefpass nicht zu verändert, wird eine neue Kapazität nach Gleichung 3.11 berechnet.

$$C_{neu} = \frac{R_{alt} \cdot C_{alt}}{R_{neu}} \approx 100nF \quad (3.11)$$

- Die beste Lösung wäre statt ± 12 V nur ± 9 V zu verwenden.

3.5 Fazit

Laut den vorgenommenen Untersuchungen reicht die Genauigkeit des Operationsverstärkers wegen des starken Crosstalks für einen 18 Bit AD-Wandler bei weitem nicht aus, auch wenn der Hersteller den AD8022 als Lösung für differentielle Eingangssignale empfiehlt. Ohne zusätzlichen Abgleich und Korrektur der Messdaten muss man sich bei Vollaussteuerung mit ca. 13 bis 14 Bit Genauigkeit begnügen. Wegen der Toleranz der beiden Filter müssen auch Gleichtaktstörungen unbedingt vermieden werden, z.B. durch gut abgeschirmte Leitungspaare und impedanzarme Masseverbindungen. Auch wegen der geringen Dämpfung bei der Nyquist-Frequenz können Aliasing-Effekte nicht vermieden werden und müssen bereits in der Signalquelle unterdrückt sein. Der einzige Vorteil des 18 Bit AD-Wandler liegt in seinem hohen Dynamikbereich und Signal-Rauschabstand von ca. 100 dB. Damit ermöglicht er die Realisierung eines besonders empfindlichen Eingangs und macht eine Differenzmessung bereits ab $31,25 \mu V$ (1LSB) möglich. Um die volle Auflösung des AD-Wandlers nutzen zu können, muss in Zukunft ein anderer Operationsverstärker verwendet werden. Es ist zu empfehlen einen echten Differenzverstärker oder sogar Instrumentenverstärker zu verwenden. Die Abbildung 3.21 auf der nächsten Seite zeigt die leicht modifizierte Eingangsstufe.

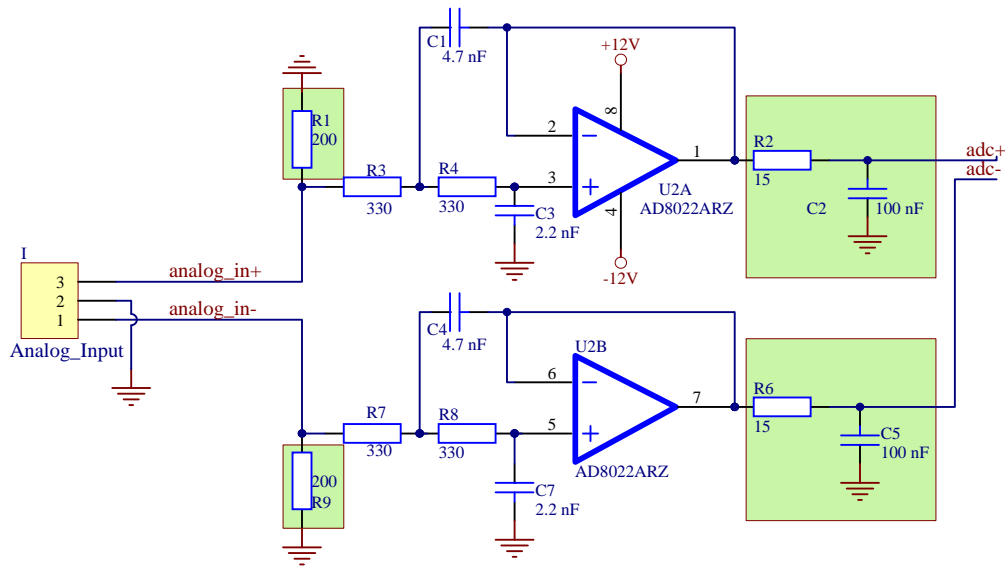
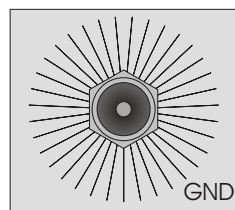


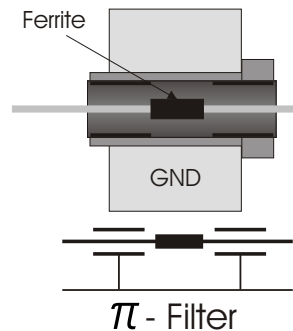
Abbildung 3.21: Modifizierte analoge Eingangsstufe

3.6 EMI-Filter - Tusonix 4209-053

Mit Hilfe der EMI¹-Filter sollen alle I/O-Schnittstellen sowie Spannungsversorgungen möglichst breitbandig entstört werden. Die Besonderheit solcher Durchgangsfiler liegt in ihrer Bandbreite und hohen Strombelastbarkeit. Eine Dämpfung von 60 dB und mehr ist selbst bei 10 GHz möglich. Die hohe Entstörbandbreite erreicht man durch die radiale Form und direkte Masseanbindung mit geringer Induktivität (Abbildung 3.22). Allein schon aus diesem Grund kommt ein Gehäuse aus Stahl nicht in Frage. Die Impedanz von Stahl steigt sehr stark mit der Frequenz an.



360° Masseanbindung



π - Filter

Abbildung 3.22: Masseanbindung und Aufbau vom EMI-Filter

¹elektromagnetische Interferenz

Das zum Einsatz kommende EMI-Filter Tusonix 4209-053 wurde nach folgenden Kriterien ausgesucht (Tabelle 3.1).

Tabelle 3.1: Auswahlkriterium für EMI-Filter

Auswahlkriterium	Bewertung	Bemerkung
Verfügbarkeit	sehr hoch	Eine kurzfristige Beschaffung und geringe Stückzahl stellt bei vielen Typen ein Problem dar.
Frequenzgang	hoch	Große Entstörbandbreite und Dämpfung bis in den Gigahertz-Bereich.
Sprungantwort	sehr hoch	Schnelles Einschwingverhalten. Ein Kompromiss zwischen unterer Grenzfrequenz und Einschwingdauer.
Größe	mittel	Hohe Packungsdichte. Es werden ca. 80 Filter benötigt.
Filterordnung	hoch	z.B. PI-Filter 3. Ordnung mit starkem Abfall.

3.6.1 Frequenzgang

Im Datenblatt des Herstellers ist keine genaue Frequenzkennlinie vorhanden und nur an wenigen Stellen eine Dämpfung angegeben (Tabelle 3.2).

Tabelle 3.2: Minimum no load insertion loss (Tusonix 4209-053)

Frequenz in GHz	Dämpfung in dB
0.01	20
0.1	65
1	70
10	70

Die Dämpfung steigt bis zu 70 dB an und zeigt selbst bei 10 GHz noch keinen Abfall. Damit sollten hochfrequente Störungen von den schnellen Digitalschaltungen wie Ethernet und FPGA unterdrückt werden können. Für analoge Eingangssignale bis 100 kHz stellt das Filter keine bemerkenswerte Bandbreitenbegrenzung dar.

3.6.2 Sprungantwort

Besonders wichtig ist die Sprungantwort des Filters. Es muss ein Kompromiss zwischen der unteren Grenzfrequenz und der Einschwingdauer gefunden werden. Langes Einschwingverhalten würde die BLANK-Zeit vergrößern und damit die Beobachtungsdauer verkürzen. Eine zu hohe Grenzfrequenz lässt dagegen Störungen im unteren Frequenzbereich durch. Betrachtet man in Abbildung 3.23 einige Einschwingvarianten, so stellt man fest, dass sie zwar alle nach ungefähr der gleichen Zeit ihren Endwert erreichen, aber ein sehr unterschiedliches Einschwingverhalten zeigen.

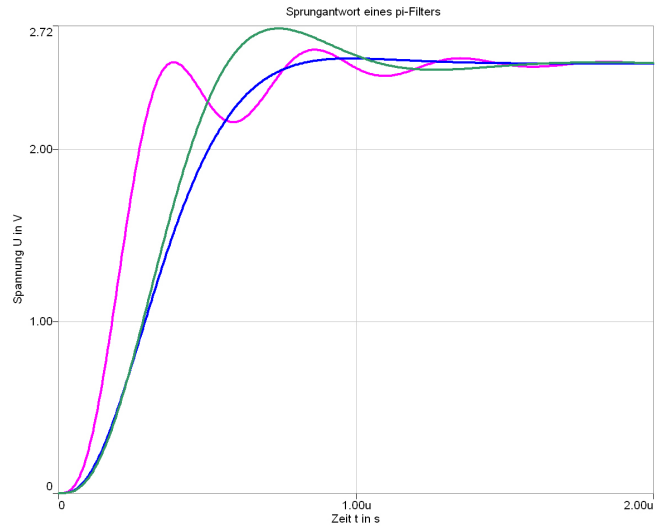


Abbildung 3.23: Einschwingverhalten von pi-Filtern

Wegen mangelnder Angaben vom Hersteller kann keine genaue Übertragungsfunktion aufgestellt werden. Deshalb wird durch messtechnisches Verfahren das Einschwingverhalten untersucht. Dabei wird ein Rechtecksignal aufgeschaltet und am Filterausgang mit einem Oszilloskop aufgezeichnet. Die Ein- und Ausgangswiderstände sind identisch und betragen 50 Ohm. Wie man der Abbildung 3.24 entnehmen kann, zeigt die Sprungantwort kein Überschwingverhalten und erreicht ihren Endwert nach ca. 1 μ s.

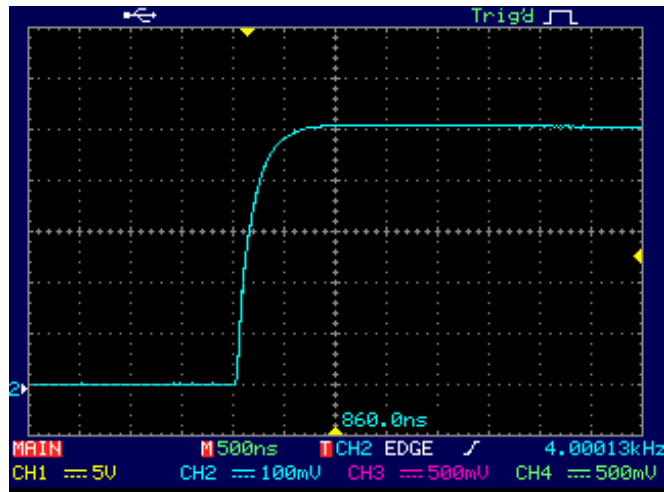


Abbildung 3.24: Sprungantwort des EMI-Filters Tusonix 4209-053

3.6.3 Gleichtaktstörung

Ein zusätzlicher Nachteil entsteht bei Verwendung von Durchgangsfiltren für differentielle Signale. Durch Bauteiltoleranz der Filter erhöht sich die Empfindlichkeit für Gleichtaktstörungen. Eine einfache Simulation soll das Problem verdeutlichen. Die Auflistung zeigt die wichtigsten Simulationsparameter:

- Störung in der Quelle mit 50 Ohm Ausgangswiderstand
- Simulationsmodell des 4209-53 mit $T_{63} \approx 180$ ns
- Bauteiltoleranz an jedem Glied ca. 10 %
- 1k oder 50 Ohm Abschlusswiderstand

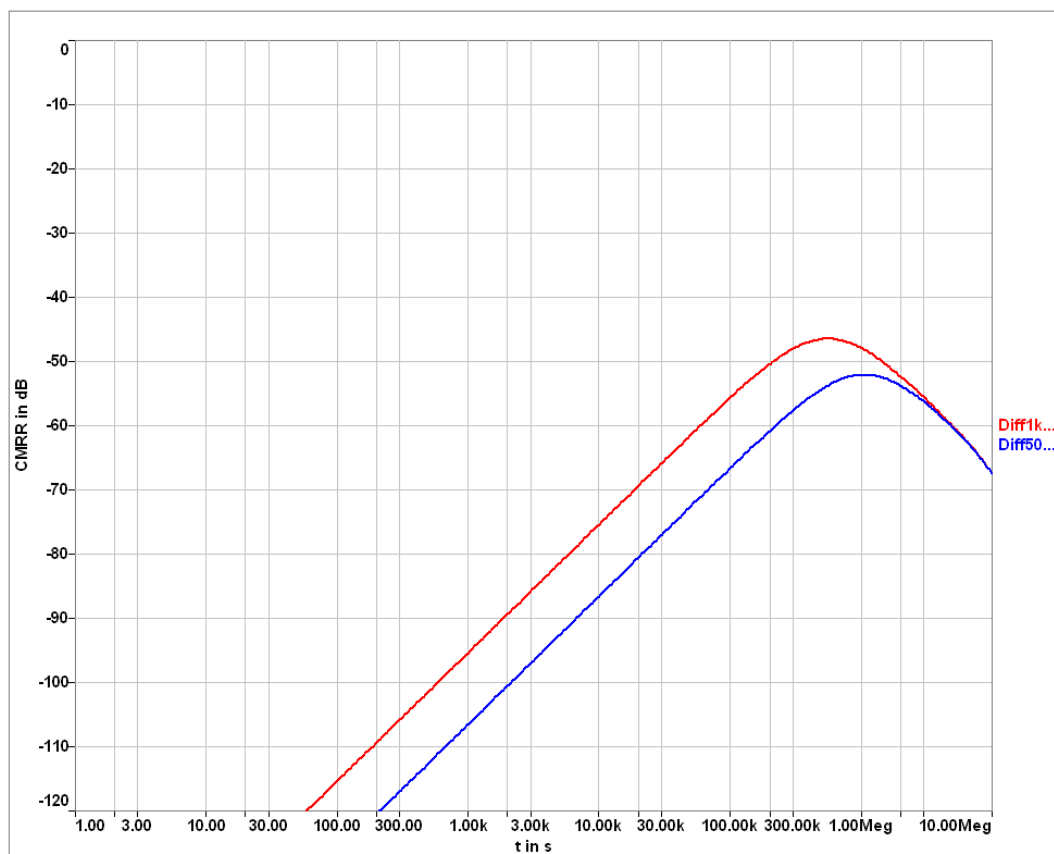


Abbildung 3.25: Entstandene Differenzspannung durch Bauteiltoleranz

Wie man dem Simulationsergebnis in Abbildung 3.25 entnehmen kann, macht sich eine Bauteiltoleranz von 10 % schon deutlich bemerkbar. Durch Verwendung von kleineren Eingangswiderständen kann die Empfindlichkeit reduziert werden. Besonders problematisch ist

der Bereich, in dem weder das EMI-Filter noch die Eingangstufe eine ausreichende Dämpfung bietet. Störungen um die 100 kHz können das EMI-Filter und die Eingangsstufe problemlos passieren.

3.6.4 Zusammenfassung

Aufgrund der mangelnden Auflösung eines Oszilloskops kann weder die Signalverformung noch das Gleichtaktverhalten näher untersucht werden. Auch die Simulation kann keine genauen Aussagen darüber machen. Man kann aber davon ausgehen, dass die analoge Eingangsstufe einen deutlich höheren Einfluss auf die Signalverzerrung und Gleichtaktempfindlichkeit hat und die EMI-Filter zu vernachlässigen sind.

3.7 Digitalschaltung

Das Blockschaltbild 3.26 gibt einen Überblick über die entwickelte digitale Hardware des Backends, mit der alle notwendigen Funktionen abgedeckt werden können. In den einzelnen Abschnitten wird je nach Schaltungsaufwand ausführlicher drauf eingegangen. Der gesamte Schaltplan zu der Hardware sowie die Datenblätter sind im Anhang A und Anhang B zu finden.

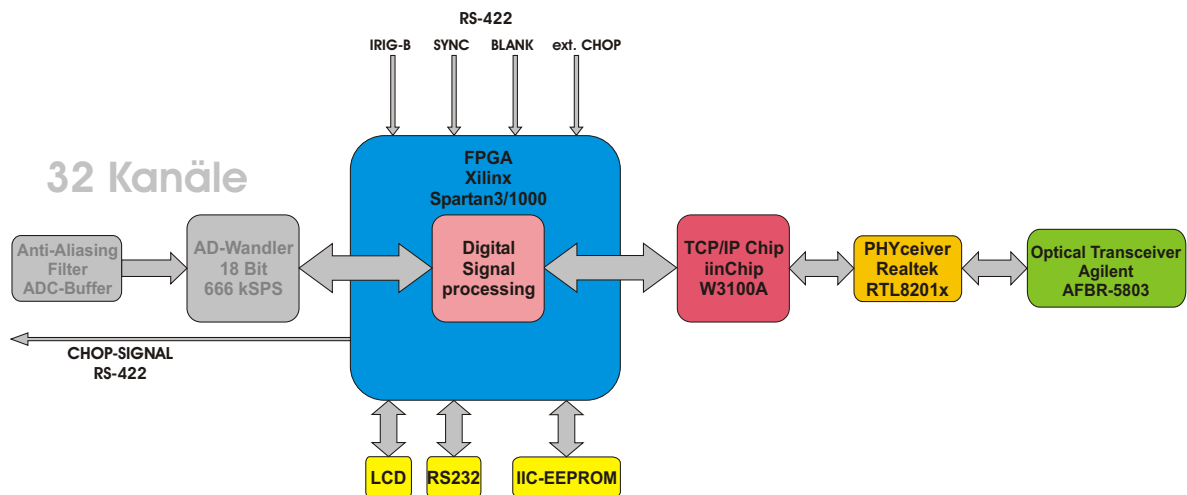


Abbildung 3.26: Blockschaltbild zur digitalen Hardware

3.7.1 FPGA-Modul

Das Hauptelement und Herzstück der gesamten Schaltung stellt ein FPGA dar. Zum Einsatz kommt ein Xilinx-FPGA der Spartan-3 Familie. Es bietet eine ausreichende Anzahl an Logik, Multiplizierer und Block-RAM. Damit kann die gesamte Steuerung, Signalverarbeitung und Datenübertragung realisiert werden. Um die Entwicklungszeit und Fehlerquellen zu minimieren wurde ein fertiges FPGA-Modul aus dem Digitallabor entnommen. Das bereits erprobte und mehrfach eingesetzte FPGA-Modul beinhaltet alle Bauteile, die für den Betrieb des FPGAs erforderlich sind. Dazu gehören mehrere Schaltnetzteile, EERPOM und Interface für die Konfiguration und ein paar Test-LEDs. Das Modul kann mit drei unterschiedlich komplexen FPGA-Typen bestückt werden und ermöglicht einen universellen Einsatz. Ein zusätzlicher Vorteil ist die Reduzierung der Lagenanzahl auf der Hauptplatine, weil die Versorgungsspannungen für das FPGA auf dem Modul realisiert werden. Die Abbildung 3.27 und 3.28 zeigen das verwendete FPGA-Modul.

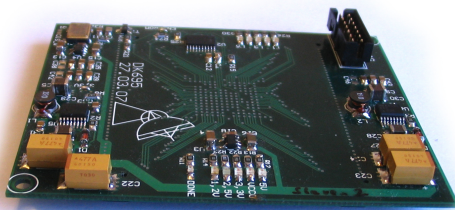


Abbildung 3.27: FPGA-Modul (Top)

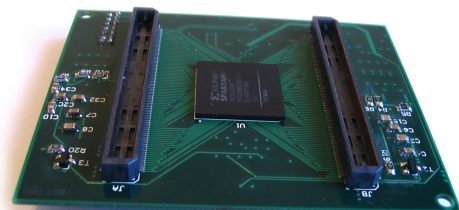


Abbildung 3.28: FPGA-Modul (Bottom)

Um den gesamten Umfang an Steuerung und Signalverarbeitung abdecken zu können, wurde das Modul mit dem größtmöglichen SPARTAN-3/1000 bestückt. Die Tabelle 3.29 auf der nächsten Seite gibt eine kurze Übersicht über die Spartan-3 Familie.

Spartan-3	XC 3S50	XC 3S200	XC 3S400	XC 3S1000	XC 3S1500	XC 3S2000	XC 3S4000	XC 3S5000
System Gates	50K	200K	400K	1000K	1500K	2000K	4000K	5000K
Logic Cells	1,728	4,320	8,064	17,280	29,952	46,080	62,208	74,880
18x18 Multipliers	4	12	16	24	32	40	96	104
Block RAM Bits	72K	216K	288K	432K	576K	720K	1,728K	1,872K
Distributed RAM Bits	12K	30K	56K	120K	208K	320K	432K	520K
DCMs	2	4	4	4	4	4	4	4
I/O Standards	24	24	24	24	24	24	24	24
Max Differential I/O Pairs	56	76	116	175	221	270	312	344
Max Single Ended I/O	124	173	264	391	487	565	712	784
Package	User I/O	User I/O	User I/O	User I/O	User I/O	User I/O	User I/O	User I/O
VQ100	63	63	—	—	—	—	—	—
TQ144	97	97	97	—	—	—	—	—
PQ208	124	141	141	—	—	—	—	—
FT256	—	173	173	173	—	—	—	—
FG320	—	—	221	221	221	—	—	—
FG456	—	—	264	333	333	333	—	—
FG676	—	—	—	391	487	489	489	489
FG900	—	—	—	—	—	565	633	633
FG1156	—	—	—	—	—	—	712	784

Abbildung 3.29: Übersicht zur Spartan-3 Familie (Xilinx Spartan-3 Overview)

Noch ein Vorteil des FPGA-Moduls ist das integrierte 3,3 V Schaltnetzteil, das mit einem Ausgangsstrom von bis zu 3 A den gesamten Leistungsbedarf aller digitalen Bausteine abdeckt.

3.7.2 Ethernet

Wie schon in Kapitel 2 erwähnt, wurde für die Datenübertragung eine 100Base-FX Schnittstelle entwickelt. Aus Kompatibilitätsgründen wurde auch die 100Base-TX Schnittstelle realisiert. Die eingesetzte Hardware deckt nahezu den gesamten Bereich des TCP/IP-Referenzmodells ab und reduziert damit den Programmieraufwand im FPGA. Die Abbildung 3.30 auf der nächsten Seite zeigt die verwendete Hardware und die dazugehörigen OSI- und TCP/IP-Schichten. Auf eine nähere Erläuterung des OSI- und TCP/IP-Referenzmodells wird an dieser Stelle verzichtet. Eine ausführliche Beschreibung kann zahlreicher Literatur entnommen werden.

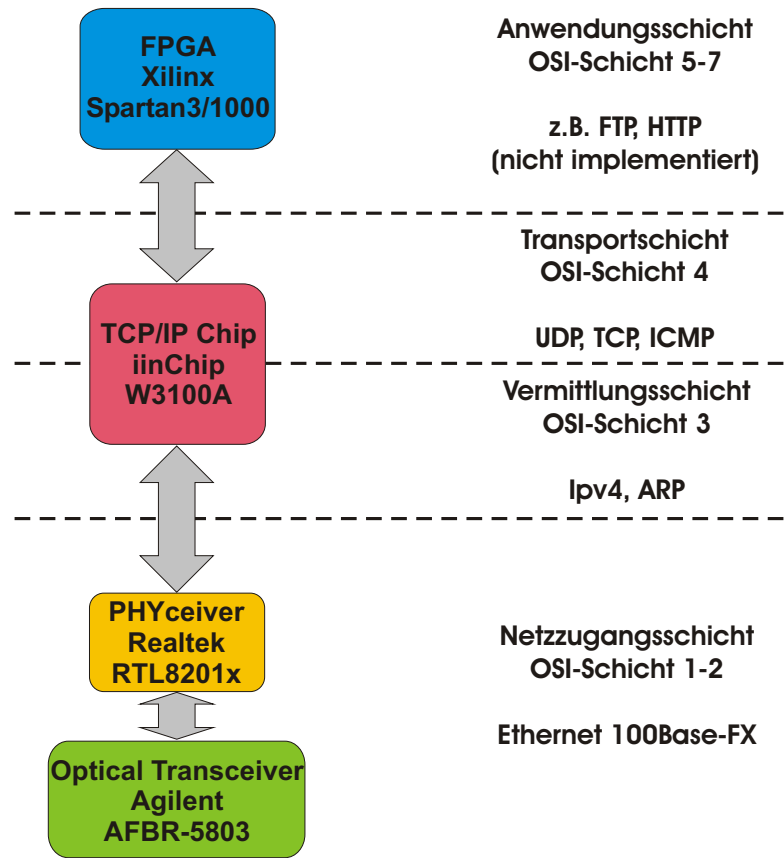


Abbildung 3.30: Ethernet

3.7.2.1 Ethernet-Controller iinChip W3100A

Der W3100A ist ein intelligenter Ethernet-Controller, der einem die Entwicklung der Transport- und Vermittlungsschicht erspart. Das Blockdiagramm 3.31 stellt die externen Schnittstellen dar und verdeutlicht die Komplexität des Chips. Der einzige Nachteil liegt in seiner geringen Datenübertragungsrate. Mit einer Datenrate von ca. 25 Mbit/s wird die 100Base-TX/FX Verbindung bei weitem nicht ausgenutzt. Für das angewendete Messverfahren reicht allerdings die Datenrate vollkommen aus. Während der

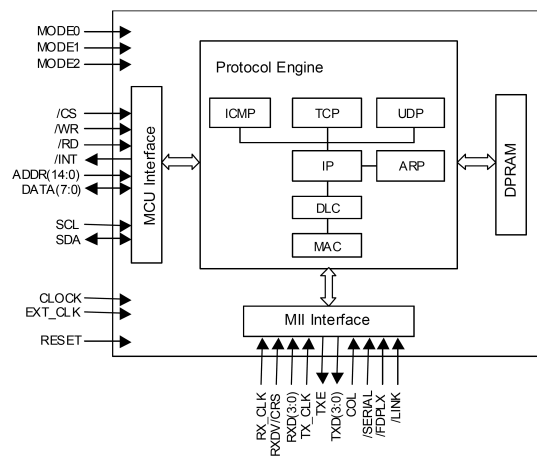


Abbildung 3.31: Blockdiagramm W3100A

Entwicklungs- und Testphase können die Rohdaten eines einzelnen AD-Wandlers in Echtzeit übertragen werden.

Die Kommunikation mit dem FPGA wurde über die Parallelschnittstelle realisiert. Die einfache Handhabung und bestehende VHDL-Module waren die ausschlaggebenden Argumente für die Parallelschnittstelle. Die nicht verwendete I2C-Schnittstelle muss über Pullup-Widerstände in einen definierten High-Zustand versetzt werden.

Die Anbindung an einen Physical Layer Chip erfolgt über das Media Independent Interface (MII). Das MII ist eine standardisierte Schnittstelle zwischen Netzzugang (Physical Layer Chip) und der oberen Vermittlungsschicht (MAC). Wie der Name schon sagt, ist an dieser Stelle das tatsächlich verwendete Übertragungsmedium ohne Bedeutung. Der Schaltplan zu der entwickelten Schaltung ist im Anhang A.2 zu finden.

3.7.2.2 Physical Layer Chip - Realtek RTL8201

Für die Leitungscodierung und Ansteuerung des Transceivers wurde ein gängiger Physical Layer Chip von Realtek verwendet. Die Entscheidung für den RTL8201 lag zum einen an der einfachen Konfiguration per »hardware« und zum anderen in der Unterstützung des 100Base-FX Standards. Je nach Konfiguration kann der Chip für den 10/100Base-TX oder 100Base-FX Netzzugang verwendet werden. Die Kommunikation mit der oberen Vermittlungsschicht wird über das bereits genannte MII-Interface abgewickelt. Die elektrische Anbindung an den optischen Transceiver (100Base-FX) oder Übertrager (100Base-TX) wird über zwei Leitungspaare TPRX+/TPRX- und TPTX+/TPTX- realisiert. In beiden Fällen werden die Daten direkt im Basisband übertragen. Der wesentliche Unterschied der beiden Standards liegt in der Leitungscodierung, auf die etwas näher eingegangen wird. Die genaue Verdrahtung zum iinChip und FPGA sowie die »Hardware-Konfiguration« des Chips kann dem Schaltplan im Anhang A.2 entnommen werden.

3.7.2.3 100Base-TX Leitungscodierung

Die Abbildung 3.32 auf der nächsten Seite zeigt den Signalweg bei Übertragung mit Twisted-pair-Leitung. Der 4B5B-Codierer verhindert lange 1- und 0-Folgen und vereinfacht die Bit-synchronisation am Empfänger. Der Scrambler sorgt für eine reichliche Verwürfelung der Daten und eine gleichmäßige Verteilung im Spektrum. Durch die breitbandige Verteilung im Spektrum erreicht man zum einen die Unterdrückung starker diskreter Störer und zum anderen eine deutlich unempfindlichere Datenübertragung gegen ext. Störer. Der nachfolgende

MLT-3 Leitungscodierer reduziert durch die ternär codierten Signale die Bandbreite auf ca. 31,25 MHz.

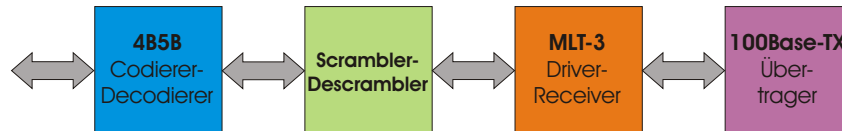


Abbildung 3.32: Signalweg für Twisted-Pair Übertragung (100Base-TX)

Das Ergebnis ist eine ungestörte Datenübertragung mit geringer Bandbreite und zusätzlicher Gleichspannungsfreiheit am Übertager, der sonst in die Sättigung gehen würde.

3.7.2.4 100Base-FX Leitungscodierung

Bei der optischen Übertragung in Abbildung 3.33 spielt die Verteilung im Spektrum keine Rolle, deshalb wird der Scrambler auch nicht verwendet. Eine optische ternäre Codierung mit »U+, 0, U-« lässt sich nur schwer realisieren, deshalb kann die Bandbreite nicht reduziert werden. Der Datenstrom wird direkt nach dem 4B5B-Codierer abgegriffen und über optische Transceiver gesendet.

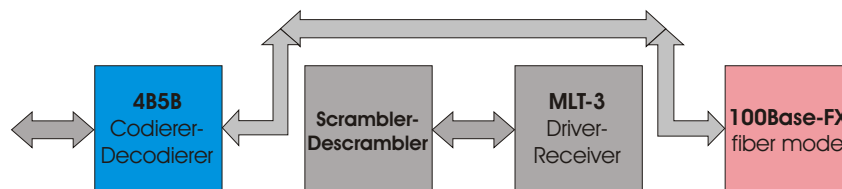


Abbildung 3.33: Signalweg bei optischer Übertragung (100Base-FX)

Wegen der deutlich höheren Baudrate wird statt TTL-Logik die PECL-Logik² verwendet. Die hohe Schaltgeschwindigkeiten der PECL wird erreicht, indem man die Transistoren nicht in die Sättigung treibt. Allerdings entsteht dadurch eine deutlich höhere Verlustleistung. Die ext. Beschaltung mit den beiden Widerständen sorgt für definierte Pegel am Ausgang und ergibt im Kleinsignalverhalten ca. 50 Ω Lastwiderstand (82||130) (Abbildung 3.36 auf Seite 35).

²Positive emitter-coupled logic

3.7.2.5 Optical Transceiver - Agilent AFBR-5803ATZ

Aus der Vielzahl an angebotenen Transceivern konnte der AFBR-5803ATZ in Abbildung 3.34 allen Ansprüchen gerecht werden. Er wurde speziell für Fast Ethernet, FDDI und ATM entwickelt und überwindet eine Strecke von bis zu 2 km. Damit kann man auf einen zusätzlichen Repeater in der Übertragungsstrecke verzichten. Die eingesetzte LED und PIN-Photodiode arbeiten im 2. Übertragungsfenster des Lichtwellenleiters, dem sogenannten O-Band, bei einer Wellenlänge von 1300 nm (Abbildung 3.35). Damit ist der Transceiver vollkompatibel zu allen anderen 100Base-FX Schnittstellen. Als Gegenstelle kann ein einfacher 100Base-FX Ethernetadapter verwendet werden.



Abbildung 3.34: Optical Transceiver - Agilent AFBR-5803ATZ

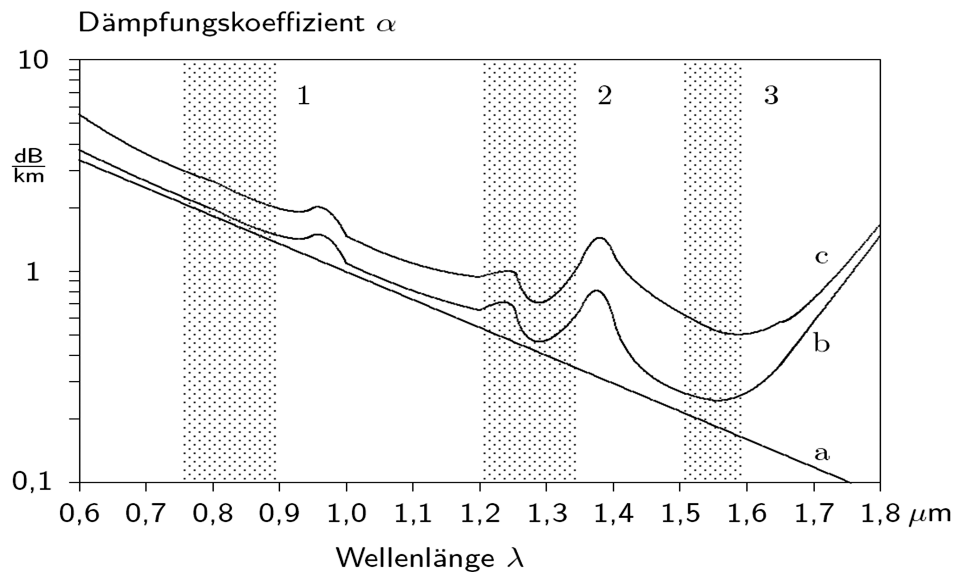


Abbildung 3.35: Übertragungsfenster und Dämpfungsverlauf einer Gradientenfaser (c), einer Einmodenfaser (b) und minimaler Grenzwert des Lichtwellenleiters [Haaß, 2005]

3.7.2.6 Elektrische Schnittstelle

Die elektrische Schnittstelle zum Transceiver wird durch zwei Leitungspaare für DATA-Receive (RD+/RD-) und DATA-Transmit (TD+/TD-) realisiert. Für die schnelle Datenübertragung mit 125 Mbit/s wird die bereits erwähnte schnelle PECL-Logik eingesetzt. Allerdings benötigt die PECL-Logik zusätzliche Arbeitswiderstände (R63 bis R70), die auch als Terminierung dienen. Die Abbildung 3.36 zeigt die Verdrahtung des optischen Transceivers.

Die Besonderheit des AFBR-5803ATZ Transceivers im Vergleich zu anderen Typen wie AFBR-5103 liegt in der 3,3 V kompatiblen Versorgungsspannung. Bei einem Betrieb mit 5 V Versorgungsspannung wäre eine zusätzliche Pegelanpassung zum Realtek Chip nötig, der mit 3,3 V Versorgungsspannung arbeitet. Weil die Pegel bei PECL von der Versorgungsspannung definiert werden und sich bei unterschiedlichen Versorgungsspannungen verschieben würden, kommt eigentlich nur eine 3,3 V Variante in Frage. Zusätzlich wurde festgestellt, dass die Erwärmung des Transceivers und damit die Verlustleistung bei 3,3 V Versorgungsspannung deutlich geringer ist. Eine minimale Verlustleistung ist besonders wichtig, weil das Gehäuse nahezu luftdicht abgeschlossen ist und keine Luftzirkulation zulässt. Die elektrische Schnittstelle für den 100Base-TX Standard ist im Schaltplan zu finden (siehe Anhang A.2).

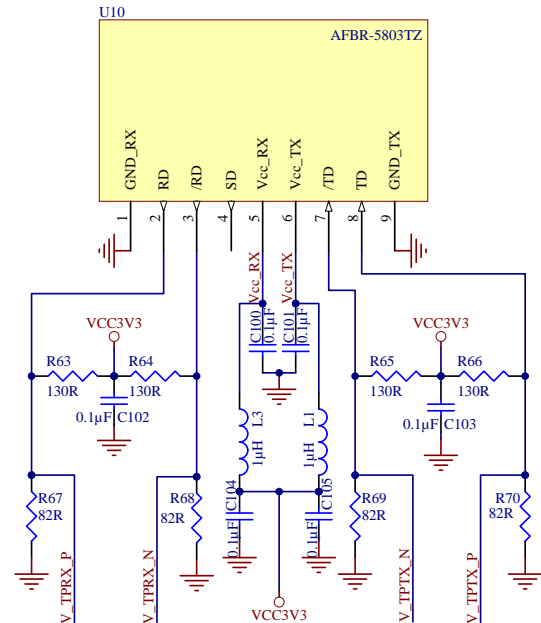


Abbildung 3.36: Elektrische Schnittstelle zum AFBR-5803

3.7.2.7 Optische Schnittstelle

Für den Anschluss des Lichtwellenleiters werden ST-Steckverbindungen verwendet, die eine geringe Einfügungsdämpfung von ca. 0.3 dB haben und für passive Patchfelder geeignet sind (Abbildung 3.37). Der ST-Stecker ist besonders robust und bietet einen Bayonett-Verschluss gegen Selbstlösung.

Die Stecker entsprechen dem vorhandenen System in Effelsberg und können ohne Übergangselemente verwendet werden. Die passenden Kupplungen und Patchkabel ermöglichen eine einfache Trennung vom Gerät und eine individuelle Platzierung des Transceivers. Durch die metallische Ausführung der Kupplung und Stecker werden die Austrittsöffnungen nahezu komplett abgeschirmt und verhindern das Austreten von elektromagnetischen Wellen. Die Abbildung 3.38 zeigt die realisierte Ethernet-Schnittstelle und Entkopplung nach außen. Bei der Verlegung des Lichtwellenleiters sollte man darauf achten, dass der vom Hersteller vorgegebene Biegeradius nicht unterschritten wird.

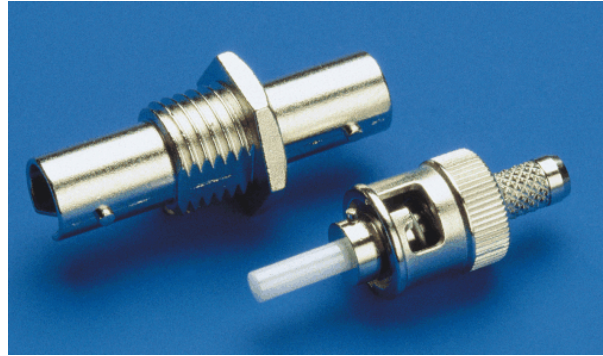


Abbildung 3.37: St-Stecker und Kupplung
(Foto: Huber+Suhner)

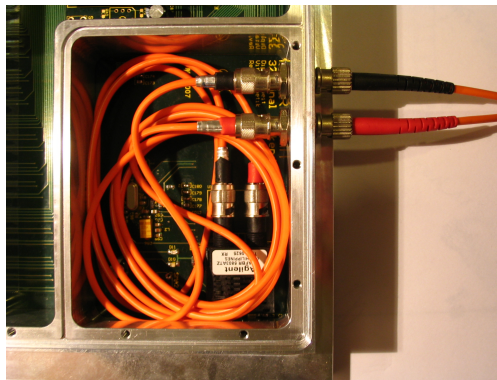


Abbildung 3.38: Trennung durch eine LWL Kupplung

3.7.2.8 Test der optischen Übertragungsstrecke

Vor Einbindung der neu entwickelten Ethernet-Schaltung in das Gesamtsystem wurde die Schaltung auf Funktion geprüft. Da es noch keine Erfahrungen in der Entwicklung von optischen Ethernet-Schnittstellen am Institut gab und um sich zu vergewissern, dass die Datenübertragung auch über mehrere hundert Meter einwandfrei funktioniert, wurde ein kleines Testsystem aufgebaut und im Teleskop Effelsberg erprobt. Dazu wurde eine ca. 700 Meter lange Teststrecke mit mehreren Patchstellen aufgebaut. Damit entsprach die Teststrecke der doppelten Länge der tatsächlichen Übertragungsstrecke. Mit dem Versuch sollte garantiert werden, dass das System bei einer 300 bis 350 Meter langen Übertragungsstrecke einwand-

frei funktioniert. Durch mehrere Patchstellen konnte die Einfügungsdämpfung in das System einbezogen werden. Die für den Test benötigte Software bestand aus einem kleinen Programm im FPGA für die Testdatengenerierung und einem »LABVIEW-Programm« für den Datenempfang über TCP/IP. Zum Debuggen wurde das Programm »WireShark« verwendet.

Die Datenübertragung verlief tadellos und erreichte mit ca. 25 Mbit/s sogar eine etwas höhere Datenrate als vom Hersteller spezifiziert. Damit sollte die entwickelte Schaltung auch unter realen Bedingungen funktionieren.

3.7.3 Digitale Steuersignale

3.7.3.1 Digitale Eingänge

Um sich auf die Messphasen einzusynchronisieren zu können, werden in Effelsberg zwei Steuersignale (BLANK und SYNC) zur Verfügung gestellt. Die beiden BLANK- und SYNC-Signale liegen als differentielle RS-422-Signal vor. Damit sind sie unempfindlich gegen Gleichtaktstörung und ermöglichen eine Datenübertragung über mehrere hundert Meter. Um eine externe CHOP-Frequenz vorgeben zu können, wurde das Backend um ein zusätzliches Eingangssignal erweitert. Um die Kompatibilität zum bestehenden System zu erhalten, wurde es ebenfalls als differentielles Eingangssignal realisiert. Für die Pegelwandlung auf LVTTTL wurde ein »Differential Line Receiver« DS26LV32 verwendet. Mit seinen vier differentiellen Eingängen deckt er den gesamten Bedarf ab. Die Terminierung der Leitungen kann auf Wunsch über Jumper gesetzt werden. Die Abbildung 3.39 zeigt die realisierte Schaltung.

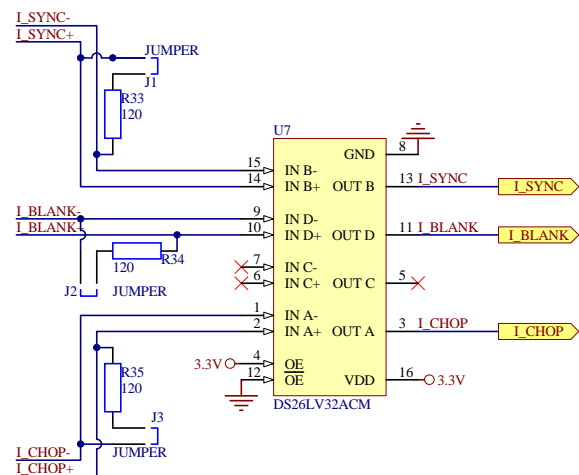


Abbildung 3.39: Differentielle Eingänge für Steuersignale

wurde ein »Differential Line Receiver« DS26LV32 verwendet. Mit seinen vier differentiellen Eingängen deckt er den gesamten Bedarf ab. Die Terminierung der Leitungen kann auf Wunsch über Jumper gesetzt werden. Die Abbildung 3.39 zeigt die realisierte Schaltung.

3.7.3.2 Digitale Ausgänge

Als Ausgangssignal wird hauptsächlich die CHOP-Frequenz benötigt. Um auch unabhängige Messungen machen zu können, ermöglicht das neue Backend eigene Generierung von BLANK- und SYNC-Signalen. Um ebenfalls kompatibel zum bestehenden System zu bleiben, wurde für die Pegelwandlung von LVTTTL auf RS-422 ein »Differential Line Driver« DS26LV31 verwendet. Die Abbildung 3.40 zeigt die realisierte Schaltung.

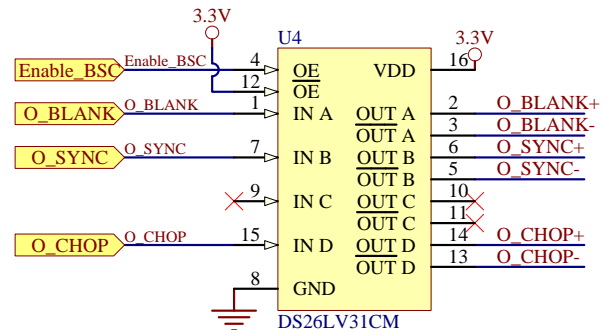


Abbildung 3.40: Differentielle Ausgänge für Steuerungssignale

3.7.4 RS-232 Schnittstelle

Während der Entwicklungsphase ist die Anzeige oder Veränderung von bestimmten Zuständen und Signalen besonders wichtig. Da kann eine RS-232-Schnittstelle oft von Vorteil sein und gibt einem die Möglichkeit, z.B. über ein Terminal mit dem System zu kommunizieren. Zusätzlich ermöglicht sie eine direkte ASCII-Zeichen Übertragung an das Display oder EEPROM. Für die Pegelanpassung von TTL auf RS-232 wurde ein MAX232 eingesetzt. Weil man in der Endversion auf die RS-232-Schnittstelle verzichten kann, wurde die Schaltung auf einer einfachen Lochrasterplatine aufgebaut und über freie I/Os des FPGAs angebunden. Aufgrund der einfachen Schaltung wird auf eine ausführliche Beschreibung an dieser Stelle verzichtet. Nähere Informationen zum MAX232 können dem Datenblatt im Anhang B entnommen werden.

3.7.5 Bedienelemente

Um eine komfortable Bedienung des Gerätes zu ermöglichen, wurde es mit einem einfachen Zeichendisplay und einigen Tastern ausgestattet. Damit lässt sich z.B. die IP-, MAC-, SUB-Adresse oder die Schaltfrequenz anzeigen und verändern. Auch während der Entwicklungsphase waren die Taster und das Display sehr hilfreich.

3.7.5.1 LCD - Displaytech Ltd 204A Series

Das LCD hat einen integrierten ASCII-Zeichengenerator und Interface-Controller. Die Ansteuerung erfolgt über eine einfache 4/8 Bit Parallelbus-Schnittstelle, die im Abschnitt 6.4 auf Seite 60 näher beschrieben wird. Die Abbildung 3.41 zeigt die realisierte Verschaltung des Displays. Mit Hilfe der beiden Widerstände R75 und R76 am V_0 -Anschluss kann der Kontrast angepasst werden. Der Pullup-Widerstand R78 am Enable-Pin sorgt für einen LOW-Pegel beim Einschalten des Gerätes, sonst kann es zur Fehlkonfiguration des Displays kommen.

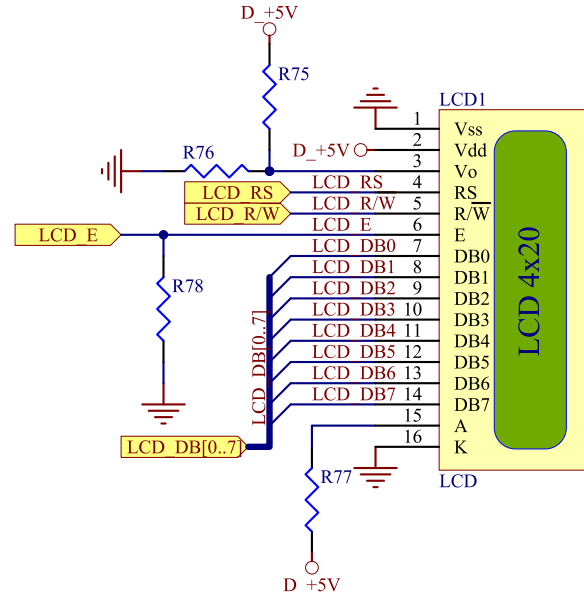


Abbildung 3.41: Zeichendisplay

3.7.6 I²C-EEPROM - Atmel AT24C512

Weil das eingesetzte FPGA nur einen flüchtigen Speicher hat und alle Einstellungen nach dem Abschalten der Versorgungsspannung verliert, können keine Änderungen von z.B. IP-Adresse oder anderen Parametern dauerhaft gespeichert werden. Zur Abhilfe wird ein 512 kBit großes EEPROM verwendet, das ausreichend Platz für alle Einstellungen bietet.

Der eingesetzte EEPROM wird über eine I²C-Schnittstelle angesprochen und kommt mit nur zwei Signalleitungen, SDA und SCL, aus (Abbildung 3.42). Auf externe Pullup-Widerstände für die Open-Collector-Ausgänge wurde verzichtet, weil diese im

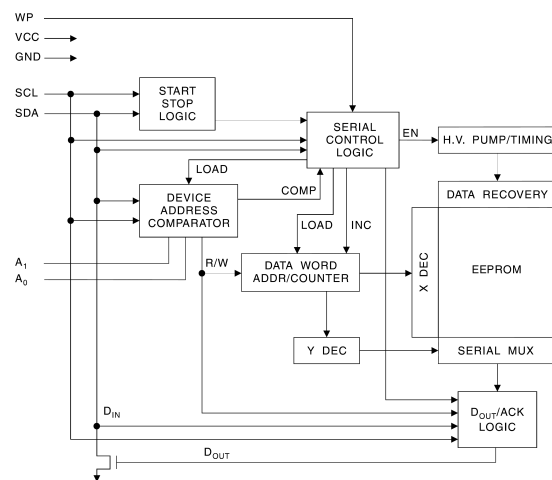


Abbildung 3.42: Blockschaltbild des AT24C512 (Atmel)

FPGA zugeschaltet werden können. Möchte man mehrere Teilnehmer am I²C-Bus ermöglichen, können mit Hilfe von A0 und A1 unterschiedliche Adresse vergeben werden. Am WP-Anschluss kann das EEPROM in den Schreibschutz-Modus versetzt werden.

Die Übertragungsrate hängt von der Versorgungsspannung ab und muss bei der Programmierung berücksichtigt werden. Um kompatibel zum FPGA zu sein, muss mit 3,3 V gearbeitet werden. Damit sollte sich eine Baudrate von bis zu 500 kBaud/s realisieren lassen (1 MBaud/s @ 5 V, 400 kBaud/s @ 2.7 V und 100 kBaud/s @ 1.8 V). Aufgrund einiger freien I/Os am FPGA wurden alle Signale verdrahtet. Damit ermöglicht man einen Einsatz von anderen EEPROM-Typen. Nähere Informationen zum AT24C512 können dem Datenblatt entnommen werden. Die Kommunikation mit dem I²C EEPROM wird im Abschnitt 6.3 auf Seite 58 näher beschrieben.

3.7.7 Schnittstelle zum AD-Wandler AD7674

Der hier beschriebene Schaltungsteil bezieht sich nur auf die digitale Seite des AD-Wandlers. Der Analogteil wurde bereits in Abschnitt 3.1.1 auf Seite 9 beschrieben.

Das Auslesen des AD7674 kann sowohl über eine parallele als auch über eine serielle Schnittstelle erfolgen. Aufgrund der hohen Anzahl an Wandlern und begrenzter Anzahl an FPGA-I/Os kann keine unabhängige Ansteuerung eines jeden AD-Wandlers realisiert werden. Bei Parallelschaltung kann die Auslesung nur im Multiplexverfahren erfolgen. Mit steigender Anzahl und Abtastrate der AD-Wandler wird die parallele Schnittstelle zum Flaschenhals. Dagegen bietet die serielle Schnittstelle eine von Anzahl und Abtastrate unabhängige Auslesegeschwindigkeit. Die Konfiguration für den »SLAVE SERIAL MODE« ist im Schaltplan in Abbildung 3.43 auf der nächsten Seite durch rote Felder gekennzeichnet. Das Auslesen der Daten wird in Abschnitt 6.2 auf Seite 57 näher beschrieben.

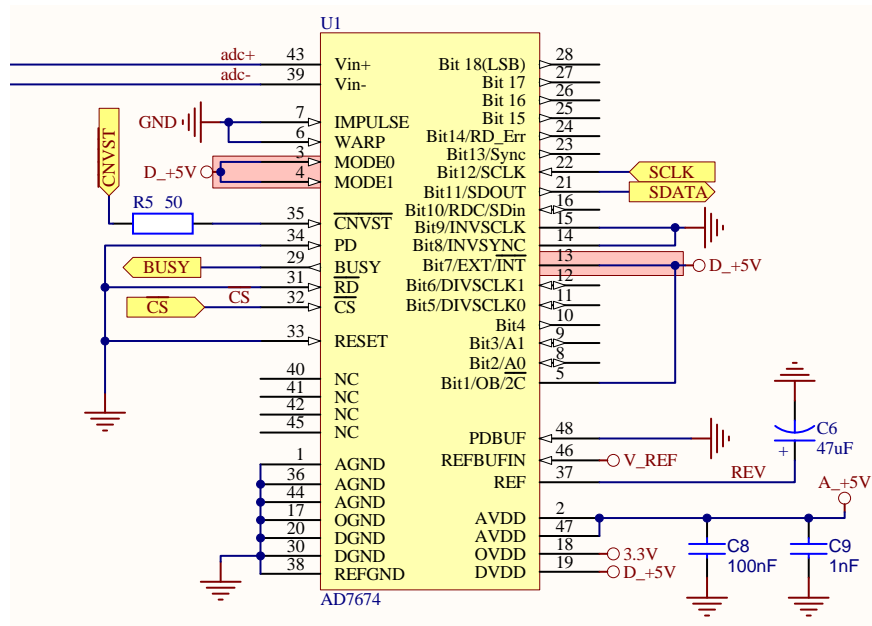


Abbildung 3.43: Verdrahtung des AD7674

3.7.8 IRIG-B AM-Demodulator

Für eine genaue Zeiterfassung während den Messphasen existiert im Teleskop Effelsberg ein GPS-basiertes Zeitsignal, das im IRIG-B-Format übertragen wird. Für die Demodulation des IRIG-B-Signals wird ein AM-Demodulator benötigt. Der AM-Demodulator ist eine bereits bestehende Schaltung aus dem Digitallabor, die lediglich auf geeignete Versorgungsspannungen untersucht und in die eigene Schaltung eingebunden wurde. Deshalb wird hier auf eine ausführliche Beschreibung verzichtet. Der gesamte Schaltplan und VHDL-Code des Autors ist im Anhang A und E zu finden. Mit Hilfe des Blockschaltbildes in Abbildung 3.44 auf der nächsten Seite soll die Funktionsweise kurz erläutert werden.

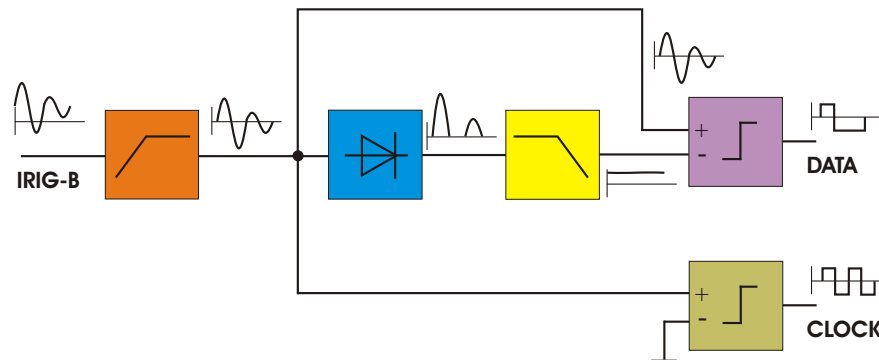


Abbildung 3.44: AM-Demodulator

1. Das IRIG-B Signal kommt mit einer digital modulierten Amplitude und einem Träger am Eingang des Demodulators an.
2. Der vorgeschaltete Hochpass sorgt für eine Gleichspannungsunterdrückung des Eingangssignals.
3. Im mittleren Zweig sorgt eine Diode für das Gleichrichten des Signals. Dadurch entsteht am Ausgang eine Gleichspannung mit überlagelter Wechselspannung.
4. Der nachgeschaltete Tiefpass sorgt für die Unterdrückung aller Wechselspannungsteile.
5. Der gewonnene Mittelwert wird mit dem Eingangssignal am Komparator verglichen und zu einem digitalen Signal umgeformt.
6. Im unteren Zweig wird mit Hilfe eines weiteren Komparators das Eingangssignal zu einem digitalen Signal umgeformt und als Taktsignal verwendet.

4 Layout

Aufgrund der hohen Ansprüche an das Backend muss auch das Layout sehr sorgfältig durchdacht sein. Besonders wichtig ist die örtliche Trennung, Singalintegrität und Entkopplung der einzelnen Baugruppen. Das gesamte Layout ist im Anhang C zu finden.

4.1 Örtliche Trennung

Die örtliche Trennung ist besonders für gemischte Schaltungen von großer Bedeutung. Es muss darauf geachtet werden, dass die empfindliche analoge Elektronik sich in einem möglichst großen Abstand von der digitalen Elektronik befindet. Bei einem nicht ausreichenden Abstand machen sich Effekte wie Übersprechen durch elektrische und magnetische Felder oder Kopplung durch gemeinsame Impedanz sehr schnell bemerkbar. Die Abbildung 4.1 zeigt die notwendige Trennung der einzelnen Baugruppen. An den gold markierten Flächen am Rand und um die einzelnen Schaltungen herum soll später das Gehäuse mit einer möglichst geringen Impedanz angebunden werden können. Durch Trennung in einzelne Kammern wird eine noch höhere Entkopplung über den freien Raum erreicht.

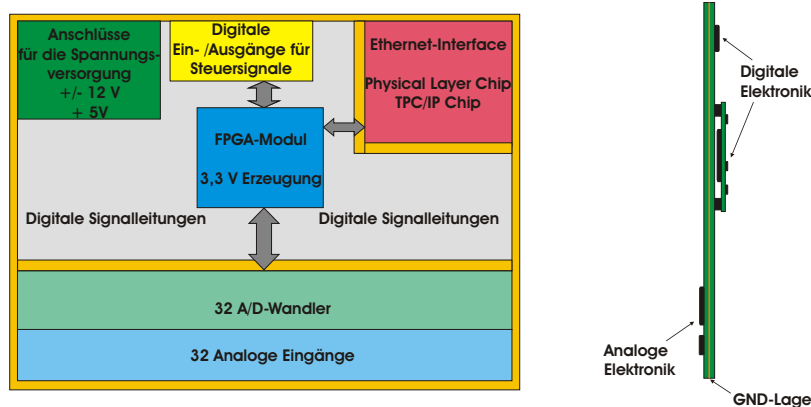


Abbildung 4.1: Örtliche Trennung der Baugruppen

4.2 Lagenaufbau

Der Lagenaufbau ist hauptsächlich von den notwendigen Versorgungsspannungen und Signalleitungen abhängig und wurde wie folgt festgelegt (Abbildung 4.2):

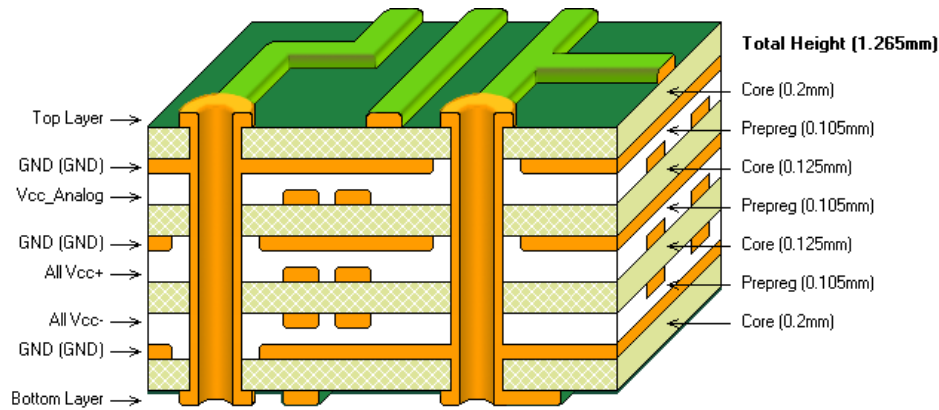


Abbildung 4.2: Lagenaufbau

Die beiden äußeren Lagen, Top und Bottom, wurden für Signalleitungen verwendet, der Top-Layer hauptsächlich für digitale und der Bottom-Layer für analoge Signale. Um eine maximale Abschirmung und Singalintegrität zu gewährleisten, wurde unter jeder Signallage eine komplette GND-Lage verlegt. Damit schafft man einen ungestörten Hin- und Rückfluss des elektrischen Stromes und verhindert eine Abstrahlung an Diskontinuitäten bei hohen Frequenzen. Die Abbildung 4.3 zeigt den Unterschied zwischen einem gestörten und ungestörten Stromfluss.

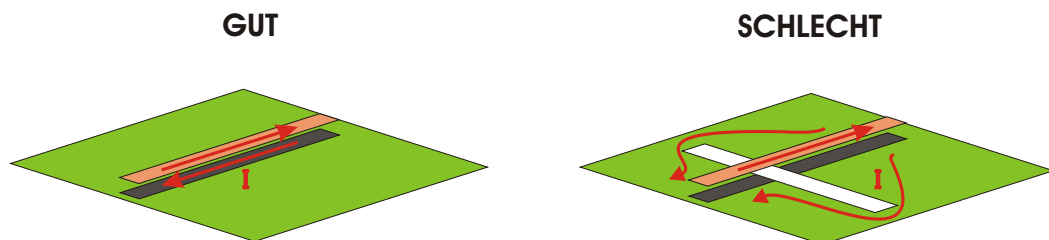


Abbildung 4.3: Hin- und rückfließender Strom in Leiterbahnen

Damit es auch keine kapazitive Kopplung zwischen der analogen Versorgungsspannung für die AD-Wandler und den digitalen Versorgungsspannungen gibt, wurde eine zusätzliche GND-Lage als Trennung verwendet.

4.3 Entkopplung der Versorgungsspannungen

Besonders wichtig ist die Entkopplung zwischen den analogen und digitalen Versorgungsspannungen. Eine effektive Entkopplung erreicht man durch Bilden von Inseln. Im unteren Frequenzbereich verhindert man damit eine gemeinsam durchflossene Impedanz, weil der Stromfluss auf die Insel begrenzt wird und bei hohen Frequenzen entsteht durch die Geometrie der Lagen ein Tiefpass zwischen den beiden Versorgungsspannungen. Die Abbildung 4.4 zeigt die Entkopplung der Ethernet-Versorgungsspannung auf eine solche Art und Weise. Das Gleiche gilt auch für alle anderen Versorgungsspannungen.

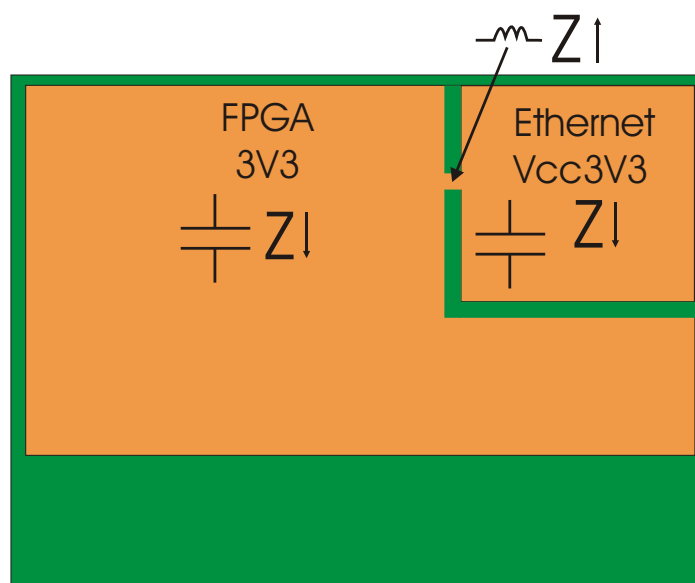


Abbildung 4.4: Entkopplung der Versorgungsspannungen

4.4 Entstörung und Stabilisierung der Versorgungsspannung

Die Entstörung und Stabilisierung der Versorgungsspannungen wurde nach der neusten Methode der Technik durchgeführt. Dabei ersetzt man zum einen die Puffer-Kondensatoren durch ganze Gruppen an Kondensatoren und zum anderen nutzt man die Kapazität zwischen den einzelnen Versorgungslagen aus. Diese Methode ist erst seit der Herstellung von Multi-Layer Platinen mit einem Lagenabstand von ca. $100 \mu\text{m}$ möglich geworden.

Für die Stabilisierung der Versorgungsspannung im unteren Frequenzbereich, bis etwa 10 kHz, werden immer noch Elektrolyt- oder Tantalkondensatoren verwendet. Für höhere Frequenzen lässt ihre Wirkung stark nach und fordert den Einsatz von Keramikkondensatoren. Aber auch diese haben je nach Kapazitätswert nur bis zu einer bestimmten Frequenz ein kapazitives Verhalten und müssen durch Parallelschaltung von ganzen Gruppen aus unterschiedlichen Werten zusammengesetzt werden. Allerdings führt eine beliebige Parallelschaltung zu dem Problem, dass aus der Induktivität des einen und der Kapazität des anderen Kondensators ein Parallelschwingkreis entsteht, der in einem bestimmten Frequenzbereich die Impedanz anhebt und eine Entstörung nicht mehr möglich macht. Die Abbildung 4.5 zeigt den Impedanzverlauf einer Parallelschaltung aus zwei Kondensatoren mit 1 und 100 nF. Es ist auch zu erkennen, dass selbst ein SMD Kondensator mit 1 nF ab einer Frequenz von 80 MHz ein rein induktives Verhalten hat und eine effektive Entstörung unmöglich macht.

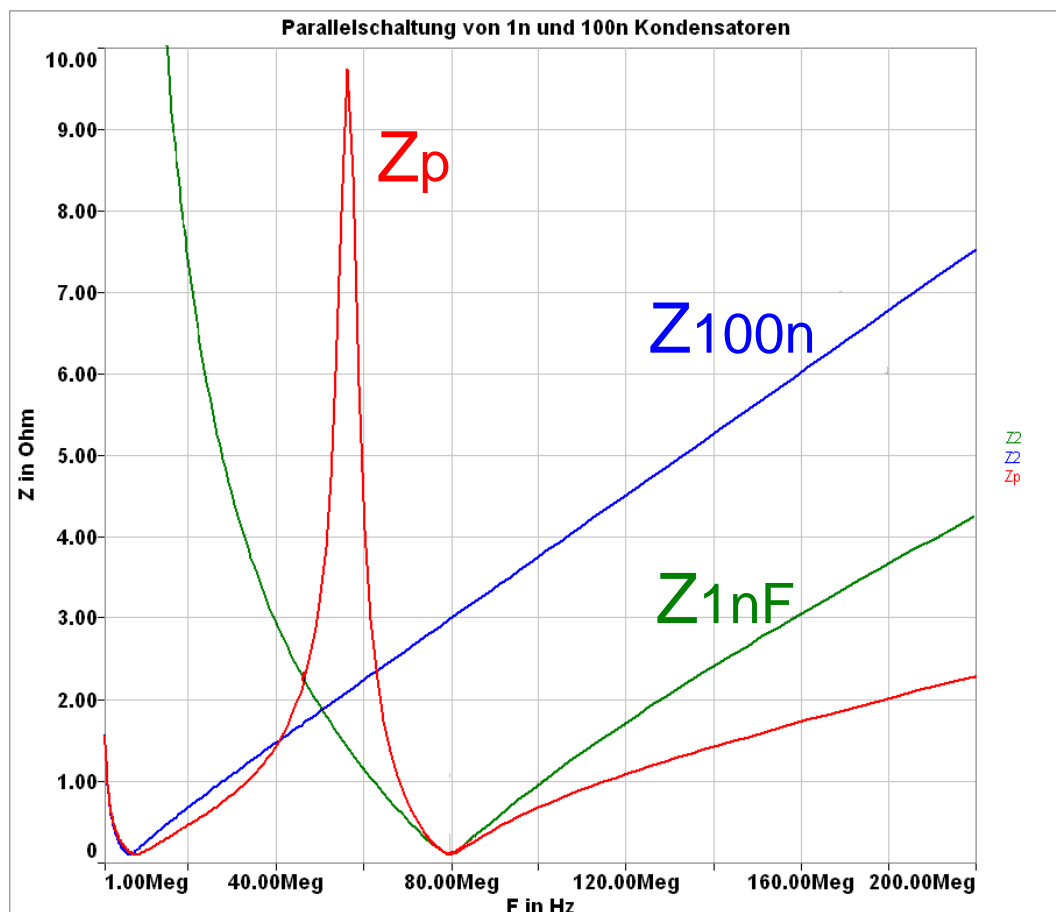


Abbildung 4.5: Problem der Parallelschaltung von Kondensatoren

Mit Hilfe einer speziellen Software »Silent« kann die Parallelschaltung von Kondensatoren berechnet werden. Auch die Geometrie der Versorgungslagen wird in die Berechnung einbezogen und auf Entstörf Wirkung untersucht. Durch Vorgabe der gewünschten Impedanz und Baugröße der Kondensatoren liefert die Software eine passende Entstörgruppe. Die Abbildung 4.6 zeigt den Impedanzverlauf der 3,3 V Versorgungsspannung. Durch die große Fläche und den geringen Lagenabstand lässt sich die Wirkung der Lagenkapazität bereits ab 100 MHz erkennen.

SILENT für Windows V. 3.0
Copyright 1992-2003 by Dirks Corporate Consulting

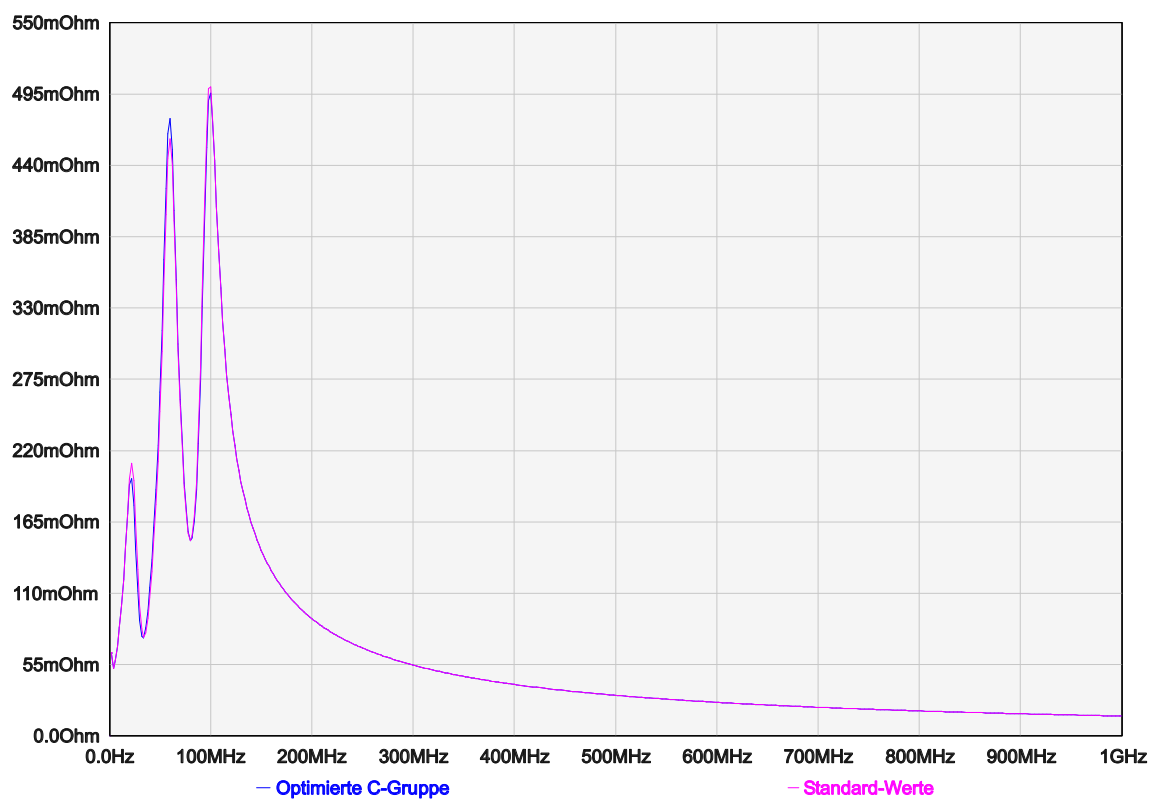


Abbildung 4.6: Optimierte Entstörgruppen

5 Gehäuseentwurf

Weil das Backend in unmittelbarer Nähe des Empfängers montiert werden soll und hauptsächlich aus digitaler Elektronik besteht, muss für eine ausreichende Abschirmung gesorgt werden. Eine gute Abschirmung hat ein luftdichtes Gehäuse zu Folge und verhindert damit eine ausreichende Luftzirkulation. Um Hitzestau zu vermeiden, muss die entstandene Verlustleistung über das Gehäuse abgeführt werden. Außerdem soll das Gehäuse in ein 19-Zoll-Rack mit 3HE passen.

5.1 Abschirmung

Die Abschirmung beruht auf dem Prinzip der Reflexion und Absorption. Trifft eine elektromagnetische Welle auf eine ebene Metalloberfläche, so entstehen dort Ströme und Ladungsverschiebungen. Bei einer geringen Oberflächenimpedanz entsteht hauptsächlich eine im Gegensinn erzeugte Welle. Die teilweise eingedrungenen Ströme werden durch das Material absorbiert. Sind die Verluste im Material nicht ausreichend hoch genug so kann es zu Durchdringung des Materials führen und zum neuen Wechselfeld (Abbildung 5.1).

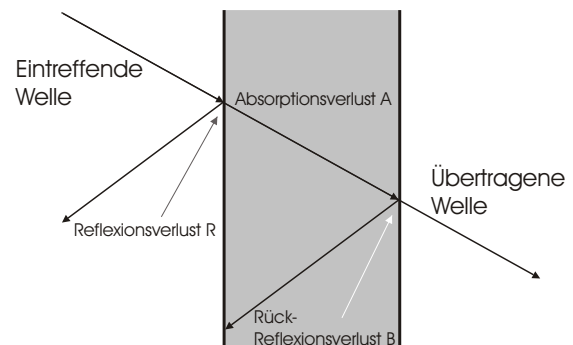


Abbildung 5.1: Reflexion und Absorption einer elektromagnetischen Welle

5.1.1 Reflexionsverluste

Der Reflexionsverlustfaktor R wird durch das Verhältnis Wellenimpedanz zu Wandimpedanz bestimmt. Besonders gut leitfähige Materialien wie Silber, Kupfer, Gold und Aluminium haben einen hohen E-Feld Reflexionsverlustfaktor. Allerdings würden Silber und Gold aus Kostengründen nicht in Frage kommen. Die Wandimpedanz ist eine Funktion aus Leitfähigkeit, Permeabilität und der Frequenz. Bei der Wellenimpedanz muss eine Fallunterscheidung gemacht werden. In einem ausreichenden Abstand, größer $\lambda/2 \cdot \pi$, kann man von einer ebenen Welle mit einem Wellenwiderstand von 377Ω sprechen. Im Nahfeld muss das elektrische und magnetische Feld einzelnen Betrachtungen unterzogen werden. Mit nachfolgenden Gleichungen 5.1 bis 5.3 [Williams 2000, S. 292] kann eine gute Abschätzung über die Reflexionsverluste gemacht werden.

Ebene Welle:

$$\frac{R}{\text{dB}} = 168 - 10 \cdot \log\left(\left(\frac{\mu_r}{\sigma_r}\right) \cdot f\right) \quad (5.1)$$

Elektrisches Feld:

$$\frac{R_E}{\text{dB}} = 322 - 10 \cdot \log\left(\left(\frac{\mu_r}{\sigma_r}\right) \cdot f^3 \cdot r^2\right) \quad (5.2)$$

Magnetisches Feld:

$$\frac{R_H}{\text{dB}} = 14,6 - 10 \cdot \log\left(\left(\frac{\mu_r}{\sigma_r}\right) \cdot f \cdot r^2\right) \quad (5.3)$$

5.1.2 Absorptionsverluste

Der Absorptionsverlustfaktor A ist von der Wand- und Eindringtiefe abhängig und berechnet sich nach der Gleichung 5.4 [Williams 2000, S. 292]. Mit steigender Wandstärke t erhöht sich die Stromdämpfung und reduziert die übertragene Welle.

$$\frac{A}{\text{dB}} = 8,69 \cdot \left(\frac{t}{\delta}\right) \quad (5.4)$$

Die Eindringtiefe δ lässt sich durch den Skineneffekt auf Leitungen beschreiben. Mit steigender Frequenz wird der Stromfluss immer weiter nach Außen verlagert und die Leitschichtdicke reduziert. Bei einer von Außen auftreffenden elektromagnetischen Welle entsteht der gleiche Effekt, der ein starkes Eindringen verhindert (Abbildung 5.2). Mit Hilfe der Gleichung 5.5, lässt sich die Eindringtiefe berechnen.

$$\delta = \frac{1}{\sqrt{f \cdot \pi \cdot \mu \cdot \sigma}} \quad (5.5)$$

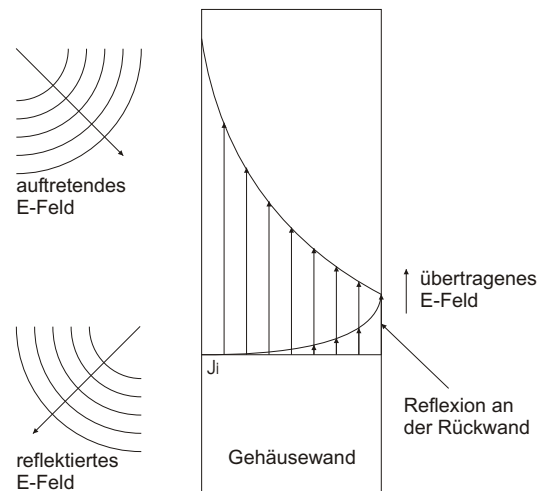


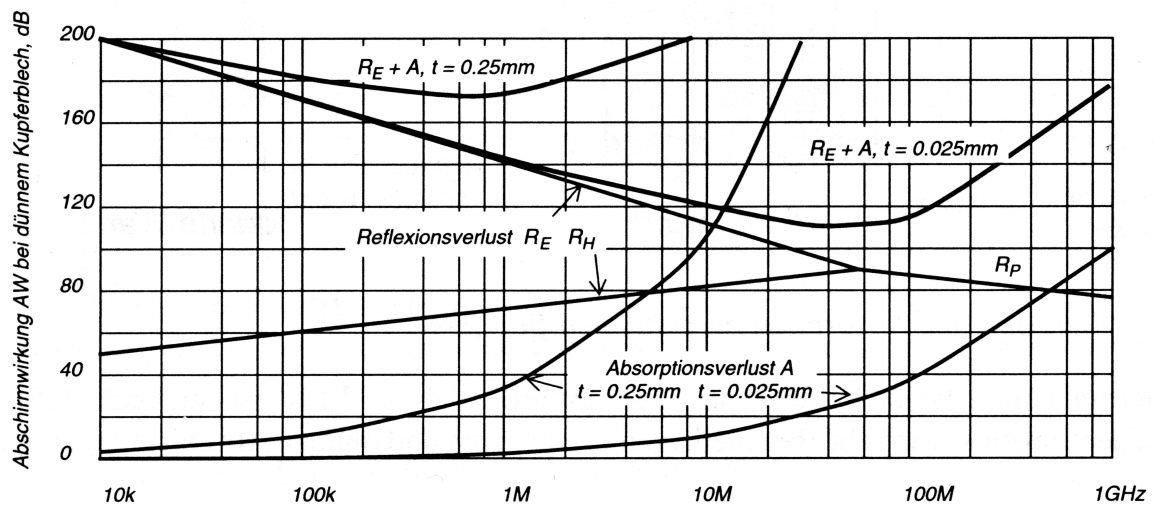
Abbildung 5.2: Skineneffekt

5.2 Abschirmwirkung

Die Abschirmwirkung AW setzt sich aus den bereits genannten Reflexions- und Absorptionsverlusten zusammen und berechnet sich nach der Gleichung 5.6. Bei einer ausreichend dicken Gehäusewand kann Rück-Reflexionsverlust B vernachlässigt werden.

$$AW_{dB} = R_{dB} + A_{dB} + B_{dB} \quad (5.6)$$

In Abbildung 5.3 auf der nächsten Seite lassen sich die einzelnen Verluste und die daraus resultierende Abschirmwirkung sehr gut beobachten. Ein nur 0,25 mm dickes Kupferblech zeigt über den gesamten Bereich eine ausgezeichnete Dämpfung.

Abbildung 5.3: Abschirmwirkung AW bei dünnem Kupferblech [Williams 2000, S. 254]

Man kann davon ausgehen, dass die gewählte Gehäusewandstärke von 4 bis 5 mm nur aus mechanischen Gründen erforderlich ist. Bei einer so dicken Gehäusewand sollte auch das deutlich kostengünstigere Aluminium reichen.

5.2.1 Abschirmung von Magnetfeldern im NF-Bereich

Besonders gut leitfähige und nicht-magnetische Werkstoffe wie Kupfer oder Aluminium zeigen eine schlechte Abschirmung für magnetische Felder im NF-Bereich. Zum einen liegt es an der niedrigen Quellenimpedanz magnetischer Felder, die zu schlechten Reflexionsverlusten führt und zum anderen durch geringe Absorptionsverluste im Material. Deshalb können die magnetischen Felder im NF-Bereich die Wand nahezu verlustlos passieren. Nur durch hohe Absorptionsverluste im Material wäre eine Verbesserung der Abschirmung möglich. Materialien wie Stahl, Mu-Metall oder Eisen-Nickel-Legierung haben zwar hohe Absorptionsverluste, verlieren aber mit steigender Frequenz an ihrer Wirkung. Bei einer Frequenz von ca. 100kHz haben magnetische so wie nicht-magnetische Materialien ungefähr die gleiche Abschirmwirkung [Williams 2000, S. 148].

Starke magnetische Felder im NF-Bereich werden z.B. durch Transformatoren verursacht. Weil die eingesetzten Schaltnetzteile deutlich schneller als mit 100kHz arbeiten verursachen sie keine magnetischen Felder im NF-Bereich. Weil auch sonst keine starken magnetischen Felder im NF-Bereich erwartet werden, kann auf eine zusätzliche Abschirmung durch magnetische Materialien verzichtet werden.

5.2.2 Gehäuseöffnungen

Auch wenn man eine perfekte Abschirmung durch Gehäusewände erreicht, so stellen Öffnungen eine Austrittsmöglichkeit für elektromagnetische Wellen dar. Mit steigender Frequenz und Öffnungsgröße lässt die Abschirmwirkung nach. Außer Lüftungslöchern gibt es noch eine Vielzahl von anderen Öffnungen die an I/O-Schnittstellen sowie zwischen den Deckeln und dem Gehäuse entstehen. Wie schon am Anfang erwähnt, soll es sich um ein geschlossenes Gehäuse ohne Lüftungslöcher handeln, damit wäre der größte Teil schon unterdrückt. Die notwendigen I/O-Schnittstellen sowie Spannungsversorgungen werden durch Durchgangfilter geführt und stellen keine direkte Öffnung mehr dar. Die Wirkung der Durchgangfilter kann dem Abschnitt 3.22 entnommen werden. Um eine gute Abdichtung zwischen den Deckeln und dem Gehäuse zu schaffen, wird eine RF-Dichtung eingesetzt. Die metallisierte Dichtung sorgt nicht nur für ein dichtes Gehäuse sondern stellt auch eine leitende Verbindung zwischen den Deckeln und dem Gehäuse dar (Abbildung 5.4). Eine durchgehend leitende Verbindung an den Fugen verhindert Unregelmäßigkeiten und Stromaufteilungen, die sonst zu einer Vergrößerung des Feldes am Gehäuse führen würden.

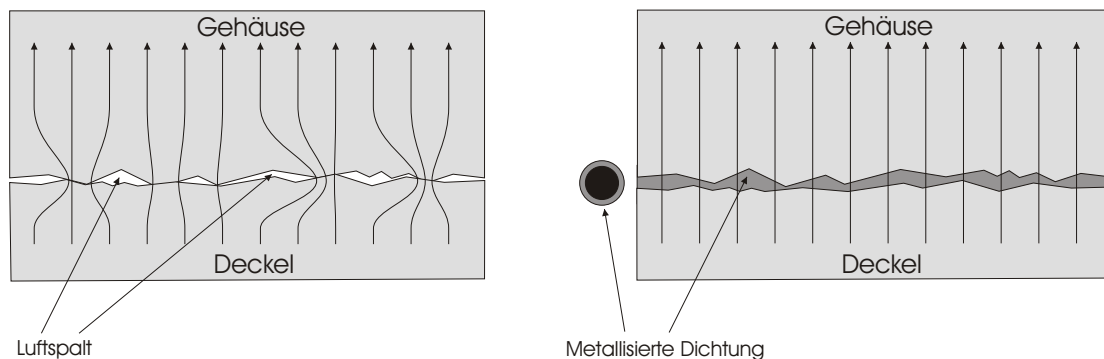


Abbildung 5.4: Gehäuse ohne und mit Dichtung

5.2.3 Gehäuseresonanz

Auch wenn keine genaue Aussage über die Gehäuseresonanz gemacht werden kann, so sollte man sich darüber im klaren sein, dass die Abschirmwirkung in Resonanzfällen stark nachlässt (Abbildung 5.5 auf der nächsten Seite). Die Resonanzfrequenz vom leeren Gehäuse weicht

deutlich von einem mit Leiterplatte und Leitungen verbauten Gehäuse ab. Aufgrund der hohen Anzahl an unbekanntem Verstimmungen, lässt sich die Resonanzfrequenz nicht mehr so einfach bestimmen und kann evtl. bei EMV-Messung beobachtet werden.

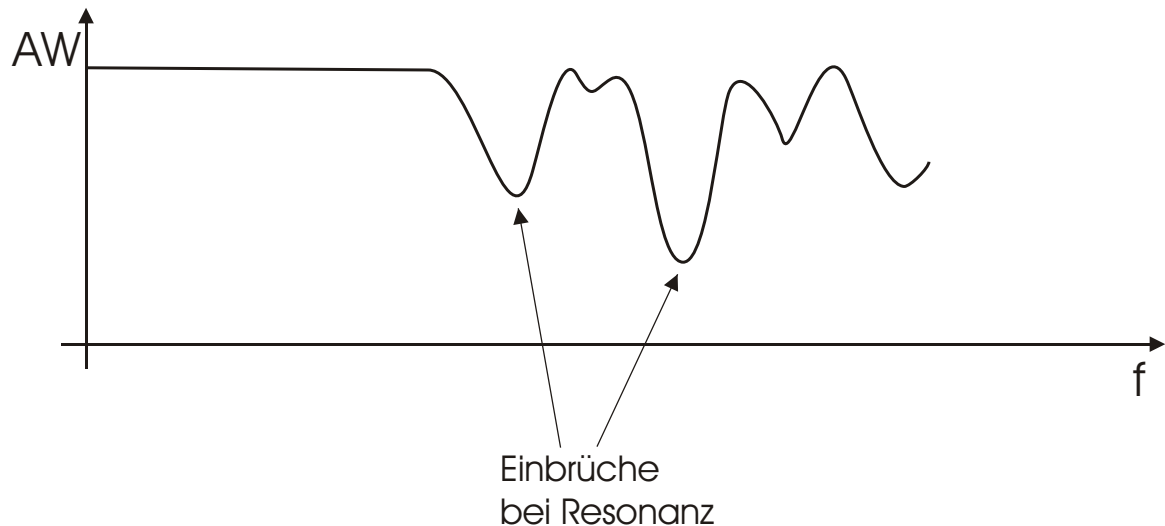


Abbildung 5.5: Gehäuseresonanz

5.3 Kühlung und Mechanik

Wie schon erwähnt, soll das Gehäuse auch eine gute Wärmeleitfähigkeit besitzen. Damit die im Innern entstandene Verlustleistung zu keiner Überhitzung der Bauteile führt, muss die Wärme nach außen abgeführt werden. Aufgrund der hohen Anzahl von Bauelementen wurden nur kritischen Bauteile näher untersucht. Bis auf den linearen Spannungsregler benötigen die Bauteile (unter normaler Umgebungstemperatur) keine zusätzliche Kühlung. Je nach eingesetztem Spannungsregler ist die Kühlung über das Board oder Gehäusewand möglich. Bei direkter Kühlung über die Gehäusewand darf die Glimmer-Isolierscheibe nicht vergessen werden. Passive Bauelemente wie Widerstände sind meistens direkt mit der Masse- oder Versorgungslage verbunden und haben eine ausreichende Wärmeabführung. Für ICs sollte eine zusätzliche Wärmeableitung über das Gehäuse erfolgen. Die Aufzählung soll einen Überblick über die zu erwartende Verlustleistung verschaffen.

- 64 Eingangswiderstände \implies 5,37 W@50 Ω , 2,68 W@100 Ω , 1,34 W@200 Ω

- 64 Operationsverstärker AD8022 \Rightarrow 6,14W
- 32 AD-Wandler AD7674 \Rightarrow 4,4 W
- Festspannungsregler LT1085 \Rightarrow 3,5 W
- Optical Transceiver AFBR-5803 \Rightarrow 0,75 W
- Physical Layer Device RTL8201x \Rightarrow 400 mW
- Ethernet iinChip W3100A \Rightarrow 115 mW
- Steuerlogik IRIG-B und RS-485 \Rightarrow 1 bis 2 W
- Die Verlustleistung vom FPGA lässt sich schwer abschätzen, weil sie sehr stark von der Konfiguration abhängt.

Damit ist eine Gesamtverlustleistung von ca. 20 bis 25 W zu erwarten. Ob zusätzliche Kühlrippen am Gehäuse oder aktive Kühlung nötig ist, wird sich in der Praxis zeigen. Laut einer vereinfachten Simulation in »Solid Works« sollte bei einer Umgebungstemperatur von ca. 303 K eine passive Kühlung reichen. Die Abbildung 5.6 zeigt den Temperaturverlauf im Gehäusedeckel für die Kühlung der analogen Elektronik.

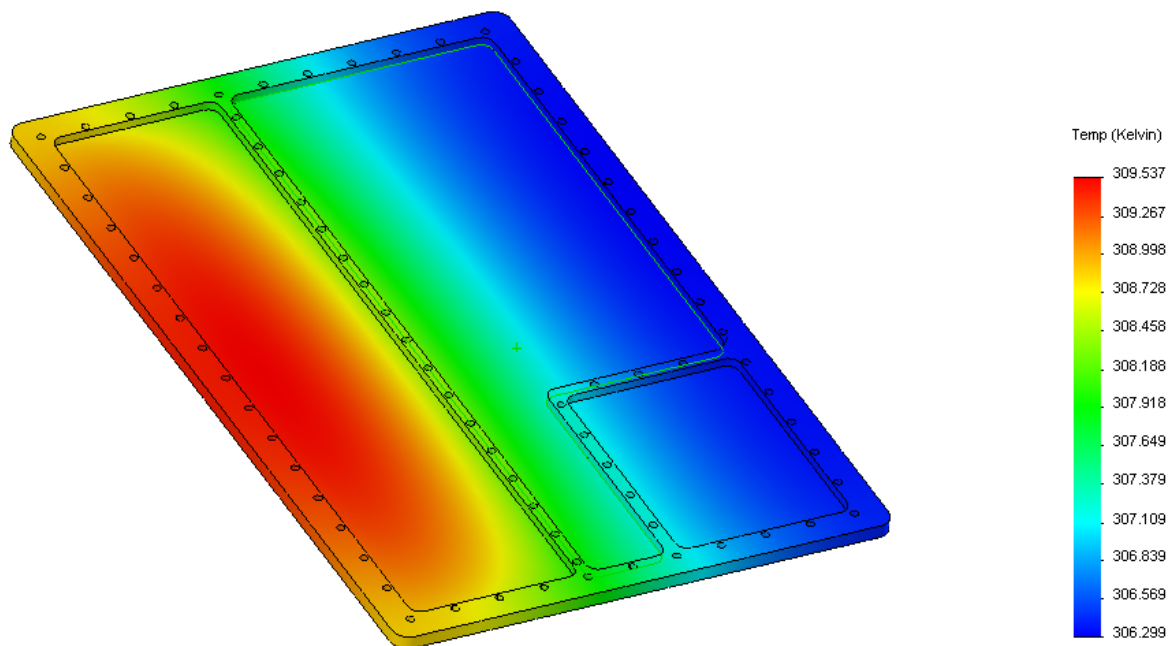


Abbildung 5.6: Thermische Analyse bei 10 W Verlustleistung

Die meisten Richtlinien für den Gehäuseentwurf sind bereits durch das Layout entstanden. Um möglichst wenige Unterbrechungsstellen zu haben, wurde das Gehäuse aus einem vollen

Stück Aluminium gefräst. Für die Montage und Wartungsarbeiten wurden zwei Deckel vorgesehen. Der Zugang von oben ermöglicht einen einfachen Austausch und die Konfiguration des FPGA-Moduls, sowie eine schnelle Fehlersuche ohne die Platine ausbauen zu müssen (Abbildung 5.7). Der komplette Gehäuseplan kann dem Anhang D entnommen werden.

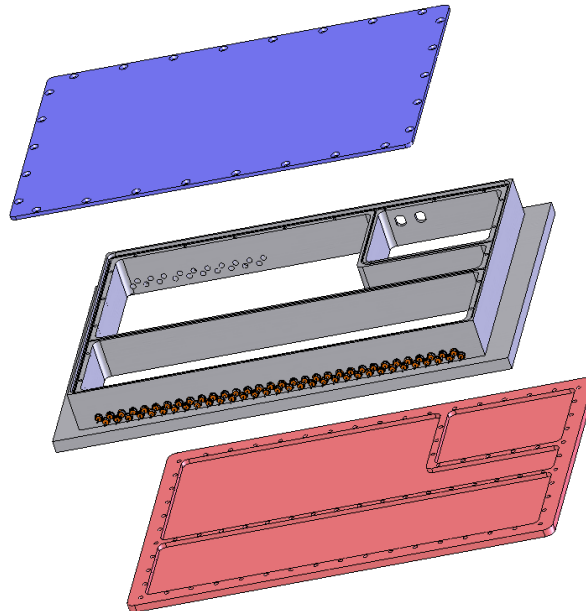


Abbildung 5.7: 3D-Ansicht vom Gehäuse

Der untere Deckel dient zusätzlich als Kühlfläche für die meisten Bauelemente. Um Höhenunterschied zwischen den Bauelementen auszugleichen, muss ein »Gap-Pad« verwendet werden. Zwar hat das »GAP-Pad« einen deutlich höheren Wärmewiderstand R_{th} als Aluminium, ermöglicht aber eine gute Kontaktierung aller Bauelemente (Abbildung 5.8). Laut einigen Herstellern liegt die Wärmeleitfähigkeit λ des Materials zwischen 2 und 5 W/m·K und ist damit um ein Vielfaches schlechter als bei 99%-igem Aluminium mit 220 W/m·K. Um den Wärmewiderstand R_{th} möglichst gering zu halten, sollte das Material nicht zu dick gewählt und eine möglichst große Auflagefläche erreicht werden.

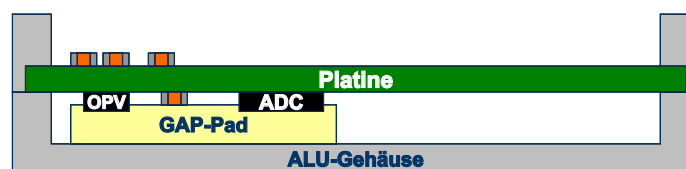


Abbildung 5.8: Kühlung der Elektronik

6 Programmierung

Bei der Beschreibung der einzelnen VHDL-Module wurden zum besseren Verständnis hauptsächlich Blockschaltbilder und Zeitdiagramme verwendet. Der gesamte Quellcode befindet sich im Anhang E. Einige Testumgebungen und Simulationen für die Module sind auf der beigefügten CD-ROM abgelegt.

6.1 Erweiterung des Ethernet-Moduls

Aufgrund der asynchronen und nicht echtzeitfähigen Datenübertragung über Ethernet kam es immer wieder zum Datenverlust bei der Übertragung. Deshalb wurde das Ethernet-Modul mit einem FIFO am Eingang erweitert, das sowohl eine asynchrone Datenübertragung als auch eine Zwischenspeicherung ermöglicht. Ein weiteres Problem entstand an der Schnittstelle des Ethernet-Moduls, die ein 64 Bit breites Datenwort erwartet. Für das spätere Messverfahren mit 64 Bit breiten Zählern ist die Schnittstelle sehr gut geeignet, aber für die Voruntersuchungen der Rohdaten stellt sie einen Flaschenhals dar. Die mit 18 Bit ankommenden Messdaten würden nur 28 % der Nutzlast darstellen und die maximale Abtastrate nicht zulassen. Deshalb wurde als Zwischenlösung das FIFO mit einem 32 Bit Eingang auf 64 Bit Ausgang realisiert. Damit erhöht sich die effektive Datenrate auf 56 %. Auch dieser Wert ist bei weitem nicht optimal, reicht aber für die ersten Voruntersuchungen der Rohdaten aus. Bei einer Abtastrate von 666 kSample/s und einer maximalen Übertragungsrate von ca. 25 Mbit/s wird die Ethernet-Schnittstelle fast zu 100 % ausgelastet. Für den Fall, dass die Bandbreite doch nicht reicht, wurde eine zusätzliche Überwachung an dem FIFO eingebaut. Im Augenblick wird beim Überlauf nur eine LED angesteuert. Später soll das Signal der Gegenstelle eine Warnung geben. Das Blockdiagramm in Abbildung 6.1 auf der nächsten Seite verdeutlicht die Funktionsweise des realisierten FIFOs.

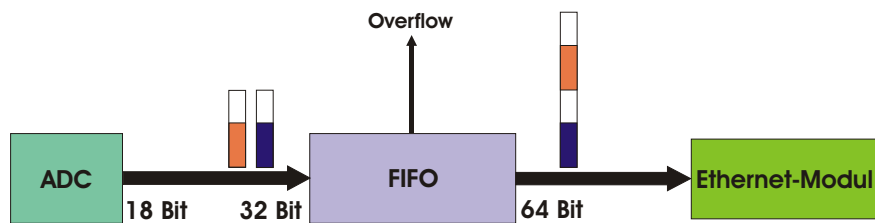


Abbildung 6.1: FIFO für die Ethernet-Schnittstelle

6.2 Ansteuern und Auslesen des AD-Wandlers

Das Auslesen der 32 AD-Wandler soll, wie bereits erwähnt, über die Serielschnittstellen erfolgen. Damit sind jeweils vier AD-Wandler komplett unabhängig voneinander und ermöglichen eine unterschiedliche Triggierung und Abtastrate. Die Abbildung 6.2 zeigt die Schnittstelle des AD7674-Moduls. Die interne Schnittstelle besteht aus dem 18 Bit breiten Datenbus »DATA18_OUT« und einem »READY« Signal. Die minimale Konfiguration zum Ansteuern und Auslesen der

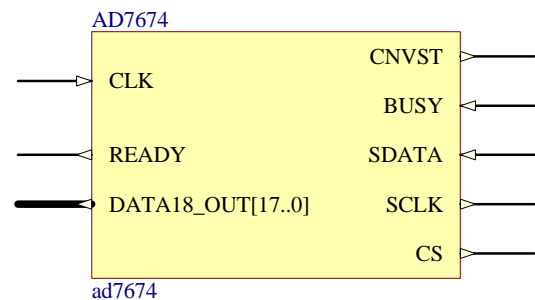


Abbildung 6.2: AD7674-Modul

Daten aus dem AD-Wandler besteht aus »CNVST«, »SCLK« und »SDATA«. Die beiden Signale »BUSY« und »CS« können bei Bedarf verwendet werden. Das Auslesen der Daten kann zum beliebigen Zeitpunkt geschehen. Um aber den Wandlungsprozess nicht zu stören, sollte das Auslesen entweder nach dem Wandeln oder innerhalb von 750 ns ab dem »Conversion-Start« erfolgen. Spätere Zugriffe können den Wandlungsprozess stören. Um die maximale Abtastrate von 666 kSample/s zu erreichen, muss während des Wandlungsprozesses gelesen werden. Das Zeitdiagramm in Abbildung 6.3 auf der nächsten Seite zeigt den Ablauf des »Conversion-Starts« und das Auslesen der Daten bei maximaler Abtastrate von 666 kSample/s und serieller Übertragung von 40 Mbit/s.

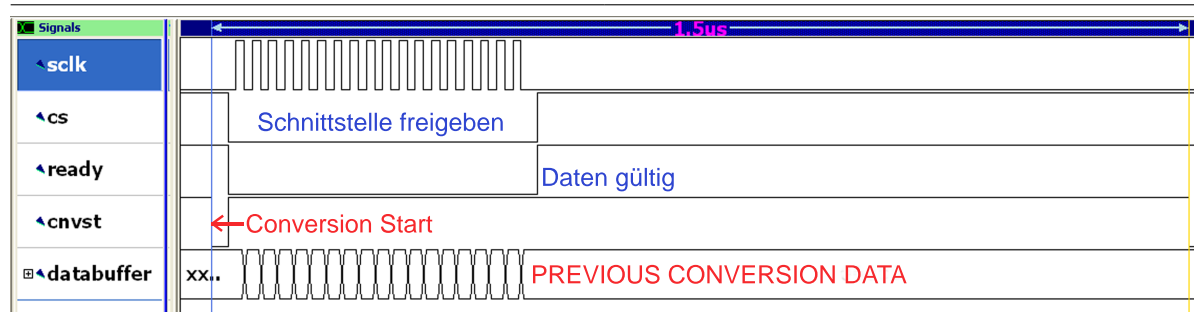


Abbildung 6.3: Conversion-Start und Auslesen der Daten des AD-Wandlers

Um eine saubere Probe (Sample) des Eingangssignals zu erhalten, beginnt das Auslesen der Daten wenige Systemtakte nach dem »Conversion Start«. Sobald die Daten ausgelesen wurden, geht das Signal »READY« auf HIGH. Damit keine weiteren Störungen am AD-Wandler entstehen, wird der Takt »SCLK« deaktiviert. Um flexibel zu bleiben und einige unterschiedliche Abtastraten testen zu können, wurde das Modul so programmiert, dass es sich durch eine einfache Vorgabe der Abtastrate konfigurieren lässt.

6.3 Kommunikation mit dem I²C-EEPROM

Das bereits erwähnte EEPROM, das alle notwendigen Parameter und Konfigurationen speichern soll, wird über die I²C-Schnittstelle bedient. Das dafür entwickelte I²C-Modul wurde so ausgelegt, dass es intern an einen Speicher angebunden werden kann. Aus Mangel an Block-RAM im FPGA kann nicht der ganze Inhalt des EEPROMs im internen Speicher abgebildet werden. Deshalb wird das EEPROM nur seitenweise ausgelesen oder beschrieben. Ein Vorteil der seitenweisen Übertragung liegt in dem deutlich höheren Datendurchsatz. Das EEPROM benötigt nur eine Anfangsadresse und inkrementiert dann weiter selber auf. Dadurch erspart man sich vor jedem zu sendenden Byte die

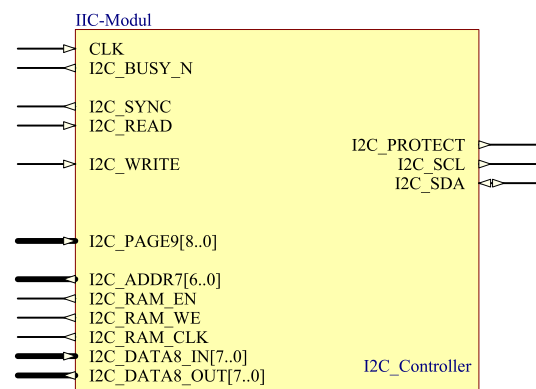


Abbildung 6.4: IIC-Modul

Adresse mitzuschicken. Die maximale Seitengröße beträgt 128 Byte und reicht im Allgemeinen vollkommen aus. Die Abbildung 6.4 zeigt die Schnittstellen des Moduls. Über die Steuersignale »I2C_READ« und »I2C_WRITE« wird eine Seite im EEPROM gelesen oder geschrieben. Die Auswahl der Seiten erfolgt über »I2C_PAGE9«. Bei einer Speichergröße von 512 kBit und einer Seitengröße von 128 Byte lassen sich 512 Seiten adressieren. Damit stellt sich die Möglichkeit, eine saubere Trennung im EEPROM zu halten und für jede Einstellungsart eine eigene Seite zu verwenden. Die Schreib- oder Leseaktion wird am Ausgang »I2C_BUSY_N« signalisiert und kann dazu verwendet werden, dem Kommunikationspartner den Zugriff auf den Speicher zu verweigern. Das »I2C_SYNC« Signal ist nur für die Verwendung des Moduls ohne Speicher notwendig, das den Empfang jedes einzelnen Byte anzeigt. Der Rest der Schnittstelle ist selbsterklärend und stellt eine typische Schnittstelle für Speicher dar. Mit Hilfe des Zeitdiagramms in Abbildung 6.5 soll kurz das Schreiben eines Byte über den I²C-Bus erklärt werden.

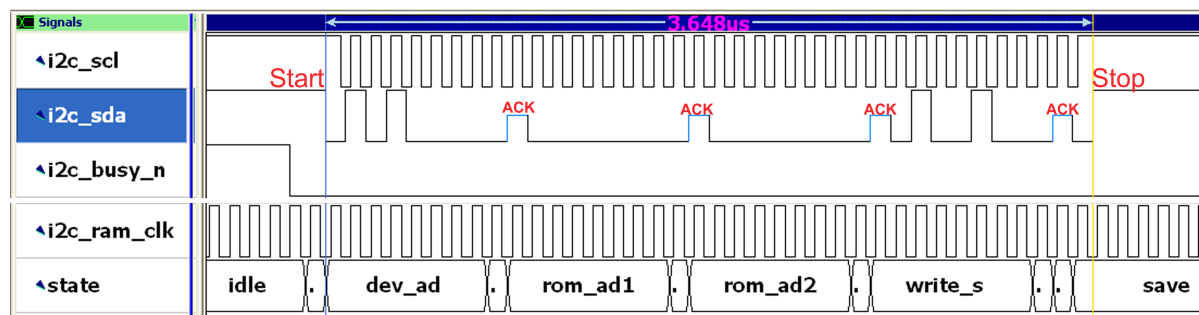


Abbildung 6.5: Schreibvorgang beim IIC-Protokoll

Der Startvorgang beginnt mit einer fallenden Flanke an dem »I2C_SDA« Signal und einem HIGH-Pegel des »I2C_SCL« Signals. Gefolgt von einer 7 Bit langen »Device-Address« wird das EEPROM mit der Adresse 50h angesprochen. Das letzte Bit entscheidet ob man lesen oder schreiben möchte und ist in diesem Fall auf »LOW« für Schreiben. Nach jedem gesendeten Byte antwortet das EEPROM mit einem ACKNOWLEDGE. Um Kollisionen zu vermeiden, gibt das FPGA die Leitung für diesen Moment frei und ist im Diagramm als hochohmiger Zustand dargestellt. Die anschließenden zwei Bytes legen die Speicheradresse im EEPROM fest, an die geschrieben werden soll. Das letzte Byte entspricht dem erwünschten Datenaustausch. Nachdem das EEPROM das letzte ACKNOWLEDGE verschickt hat, wird der Übertragungsvorgang mit einer steigenden Flanke am »I2C_SDA« Signal und einem HIGH-Zustand des »I2C_SCL« Signals beendet.

6.4 Ansteuerung des Displays

Das Display-Modul wurde so programmiert, dass es eine vollautomatische Initialisierung des Displays vornimmt und sich dann anschließend in die Anzeigeschleife begibt. Dabei wird in der Anzeigeschleife das »Video-RAM« mit einer beliebig schnell einstellbaren Wiederholrate durchlaufen und auf dem Display dargestellt. Das »Video-RAM« wurde aus dem Block-RAM des FPGAs zu einem Dual-Port-Ram zusammengesetzt und ermöglicht damit einen asynchronen Zugriff auf den Speicher. Der Vorteil einer solchen

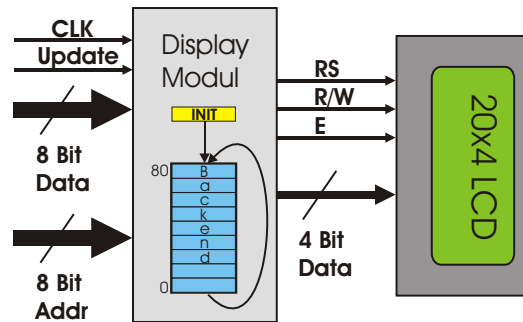


Abbildung 6.6: Funktionsweise des LCD-Moduls

Architektur liegt darin, dass das »Video-RAM« mit einer deutlich schnelleren Geschwindigkeit beschrieben werden kann, ohne Rücksicht auf das Display zu nehmen. Um eine möglichst geringe Anzahl an I/Os und Signalleitungen zu verwenden, wird das Display mit nur 4 Datenbits bedient. Das Blockdiagramm in Abbildung 6.6 verdeutlicht die Funktionsweise des Moduls. Die interne Schnittstelle wurde mit Absicht sehr einfach und allgemein gehalten und ermöglicht damit eine schnelle Wiederverwendung und Anbindung zu jedem anderen Modul und Projekt.

Anhand des Zeitdiagramms in Abbildung 6.7 soll kurz die Funktionsweise der Zeichenübertragung erläutert werden. Das Beispiel zeigt, wie eine »1« an die Adresse Null (links oben) übertragen wird. Als erstes wird die Adresse und dann das Zeichen übertragen. Beide werden in Halbbytes, zuerst das obere und dann das untere, über den 4 Bit breiten Datenbus gesendet. Mit Hilfe der Steuerleitung »RS« wird zwischen der Adresse oder dem Zeichen unterschieden. Die Steuerleitung »RW« wird im Augenblick nicht benutzt, weil in das Display nur geschrieben wird.

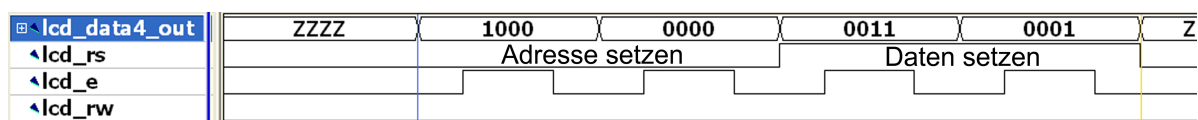


Abbildung 6.7: Zeichenübertragung zum Display

6.5 Kommunikation über die RS-232 Schnittstelle

Bei dem RS-232-Modul handelt es sich um eine asynchrone full duplex Seriellschnittstelle mit nur zwei Signalleitungen (RX & TX). Die Übertragungsart funktioniert nach dem 8N1-Prinzip (8 Bit, no parity, 1 Stop Bit) mit einer beliebig einstellbaren Baudrate. Um die leichten Unterschiede in der Baudrate durch asynchrone Übertragung auszugleichen, tastet die Empfangseinheit das ankommende Signal näherungsweise in der Mitte ab. Je nach Bedarf, kann das Modul zum Senden oder Empfangen an einen internen Speicher angebunden oder auf dem direkten Weg angesprochen werden. Die interne Schnittstelle für das Senden besteht aus einem 8 Bit

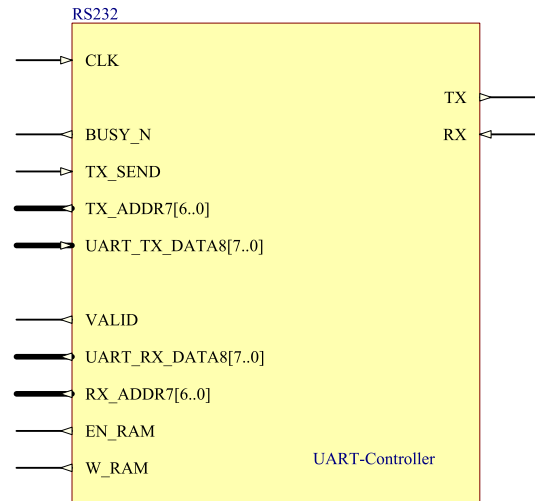


Abbildung 6.8: RS-232 Modul

breiten Datenbus, einem Busy- und Send-Signal. Während der Datenübertragung wird das Busy-Signal auf »1« und bereits beim letzten zu sendenden Bit wieder zurück auf »0« gesetzt. Der 8 Bit breite Adressbus ist nur für das automatische Auslesen und Verschicken eines Speicherbereichs notwendig. Die Empfangseinheit besteht ebenfalls aus einem 8 Bit breiten Daten- und Adressbus. Mit Hilfe der Steuerleitungen »EN_RAM«, »W_RAM« und »VALID« als Clock können die Daten direkt im Speicher abgelegt werden. Dabei lässt sich die Größe des adressierbaren Speichers frei konfigurieren. Das Modul inkrementiert automatisch die Adresse und verwendet den Speicher als Ringpuffer. Die Abbildung 6.9 und 6.10 zeigen das Empfangen und Senden von einem Hexadezimal-Wert (0xAA) bei 115200 kBaud/s.

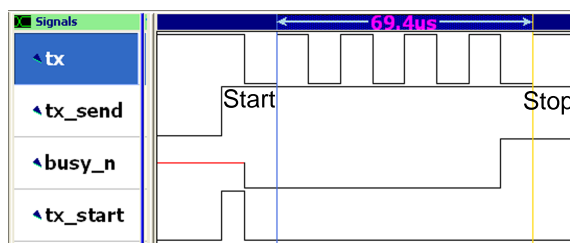


Abbildung 6.9: Senden über die Seriellschnittstelle

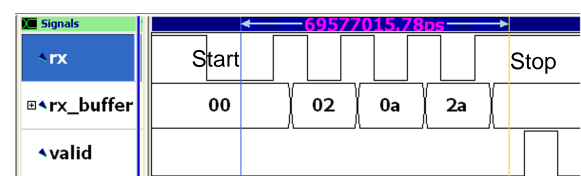


Abbildung 6.10:

Empfangen über die Seriellschnittstelle

6.6 Binär nach Dezimal

Um sich einige Messwerte des AD-Wandlers auf dem Display anzeigen zu können, müssen die Daten erst in ASCII-Zeichen konvertiert werden. Deshalb wurde ein spezielles Konvertierungs-Modul von »Binär nach Dezimal« geschrieben. Das Modul erwartet am Eingang einen 18 Bit langen Vektor und gibt am Ausgang den Dezimalwert, mit der höchsten Stelle zuerst, als ASCII-Zeichen aus. Die Abbildung 6.11 zeigt die Schnittstelle zum Modul.

Der Algorithmus, der dafür geschrieben wurde, soll hier etwas näher erklärt werden. Zuerst wird die Eingangsgröße mit einem Offset versehen, damit sich alle Werte des AD-Wandlers in dem tatsächlichen Bereich von $\pm 4,096$ V anzeigen lassen können. Wenn der Eingangswert größer-gleich dem Offset ist, dann wird ein »+«-Zeichen an den Ausgang des Moduls gereicht, bei kleiner ein »-«-Zeichen. Um auf den richtigen Spannungswert zu kommen müssen die Werte mit einer Quantisierungsstufe von $31,25 \mu\text{V}$ multipliziert werden. Auch wenn der FPGA über leistungsfähige Multiplizierer verfügt, kann die Multiplikation mit reellen Zahlen nur schwer realisiert werden. Deshalb wird zuerst mit der natürlichen Zahl 3125 multipliziert und man erhält wieder eine natürliche Zahl. Das nächste Problem entsteht bei der Umrechnung von Binär nach Dezimal. Außer, dass der FPGA über keine Dividierer verfügt, die mit sehr viel Logik realisiert wer-

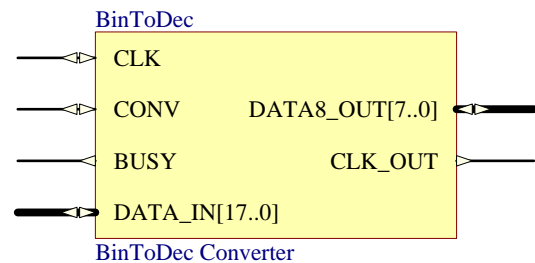


Abbildung 6.11: Binär-nach-Dezimal Modul

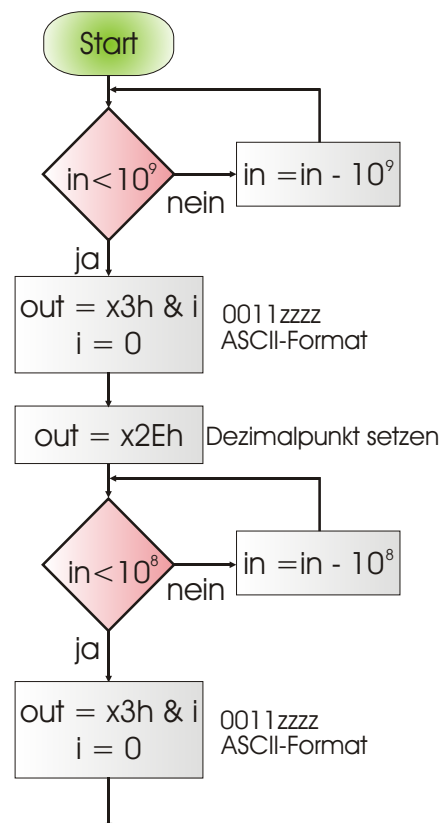


Abbildung 6.12: Binär-nach-Dezimal Programmablaufplan

den müssen, stößt man ferner auf das Problem, dass durch die Division mit den einzelnen Stellenwerten ($10^x, \dots, 2^1, 2^0$) ein Dezimalbruch entsteht (rationale Zahl). Deshalb wird die Division auf eine Subtraktion zurückgeführt und ermöglicht das Rechnen mit natürlichen Zahlen. Das iterative Verfahren lässt sich mit dem Diagramm in Abbildung 6.12 sehr gut erklären. Jede Schleife wird solange durchlaufen bis der Minuend (Eingangswert) kleiner ist als der Subtrahend. Bei jedem Durchlauf wird ein Zähler inkrementiert, der den Stellenwert angibt.

Aufgrund der hohen Taktgeschwindigkeit des FPGAs kann man davon ausgehen, dass die Umrechnung innerhalb einer Abtastperiode abgeschlossen ist. Bei einem Clock von 80 MHz und einer Abtastrate von 666 kHz können ca. 120 Operationen innerhalb der Zeit durchgeführt werden. Im *worst case* werden ca. 100 Schritte benötigt. Allerdings ist eine hohe Darstellungsgeschwindigkeit nicht erforderlich.

7 Signalverarbeitung

7.1 Einleitung

Wie in der Einführung (Kapitel 1) bereits erwähnt, soll mit dem Backend hauptsächlich die zur Leistung proportionale Gleichspannung am Detektor erfasst werden können. Leider gibt es in der Realität keine ideale Gleichspannung, sondern immer eine mit überlagertem Rauschen oder sogar Störungen. Bei einem sehr stark verrauschten Signal wie in Abbildung 7.1 kann es bei Einzelwerterfassung zu Fehlentscheidungen kommen. Beobachtet man das Signal mit dem menschlichen Auge, so lässt sich aber eine leichte Verschiebung nach oben erkennen. Dieser Effekt entsteht durch Integration und Mittelwertbildung im menschlichen Gehirn. Allerdings muss die Betrachtung über einen möglichst großen Verlaufsabschnitt geschehen. Man betrachte zum Vergleich einen kleinen Ausschnitt aus dem gesamten Signal (Abbildung 7.2). Eine klare Entscheidung zu treffen fällt hier schwer.



Abbildung 7.1: Verrauschte Gleichspannung
(lange Beobachtungsdauer)

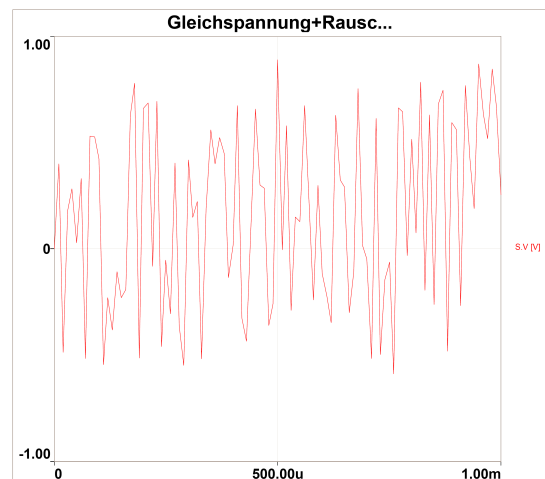


Abbildung 7.2: Ausschnitt aus dem verrauschten Signal

Das Gleiche passiert auch beim Abtasten des Signals. Anhand einer einzelnen Stichprobe kann noch keine genaue Aussage über das Signal gefällt werden. Deshalb muss über eine

möglichst lange Zeitdauer das Signal abgetastet und aufintegriert werden. Bei einem reinen Rauschsignal wird das Integral gegen Null laufen. Liegt dagegen eine Gleichspannung an, dann steigt das Integral mit der Zeit an. Je länger man das Signal beobachtet um so klarer distanziert es sich vom Rauschen (Abbildung 7.3 und 7.4).

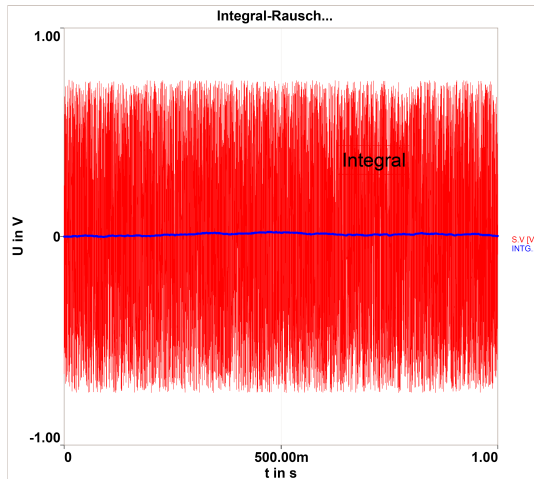


Abbildung 7.3: Integral eines Rauschsignals
(ohne Gleichspannung)

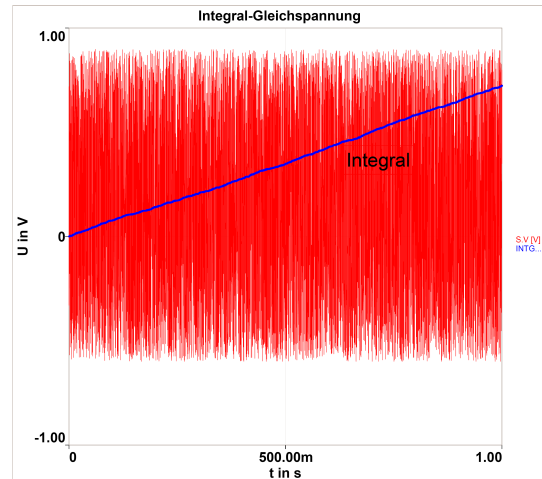


Abbildung 7.4: Integral eines Rauschsignals
(mit Gleichspannung)

Leider werden in dem neuen Messverfahren jeweils zwei Kanäle mit einer relativ hohen Schaltgeschwindigkeit von ca. 2 bis 4 kHz gegeneinander vertauscht. Deshalb ist eine möglichst hohe Abtastrate und schnelles Einschwingen des Signals notwendig. Je mehr Stichproben entnommen werden, desto aussagekräftiger wird das Ergebnis. Bei einer Schaltfrequenz von 2 kHz (Wechsel alle $250 \mu\text{s}$) und einer Abtastrate von 666 kSample/s lassen sich im Idealfall 166 Abtastungen pro Kanal vornehmen. Ob es für die Auswertung des Signals reicht, kann im Augenblick nicht gesagt werden, weil die Quelle noch unbekannt ist.

Eine Möglichkeit das Rauschen stärker zu unterdrücken, könnte durch zusätzliche digitale Tiefpassfilter erreicht werden. Es wäre auch möglich diese im FPGA zu realisieren. Um aber das gesamte Rauschen zu unterdrücken, wäre ein Tiefpassfilter mit einer Grenzfrequenz nahe »Null« notwendig. Solch ein Filter hätte eine sehr lange Einschwingdauer der Sprungantwort und würde keinen Vorteil bringen. Deshalb wird im Prototyp auf zusätzliche Tiefpassfilter verzichtet und ein anderes Verfahren angestrebt.

Im Analogen würde man das Problem mit einem Integrator angehen. Allerdings entsteht dort ein Problem zwischen der Empfindlichkeit und dem Dynamikbereich. Ein analoger Integrator, der auf Basis von Operationsverstärkern aufgebaut ist, erreicht bei hoher Empfindlich-

keit (Verstärkung) sehr schnell seinen Endwert und geht in die Sättigung. Um die Empfindlichkeit beizubehalten und den Dynamikbereich zu vergrößern, muss die Versorgungsspannung erhöht werden. Einen Vorteil bietet dagegen ein digitaler Integrator. Dessen Dynamikbereich wird nur von der Größe des Registers begrenzt. Bei einer Registergröße von gerade mal 64 Bit würde man selbst bei Vollaussteuerung des AD-Wandlers eine Integrationsdauer von

$$T = \frac{2^{63}}{2^{17}} \cdot \frac{1}{666 \text{ kSample/s} \cdot 3600} \approx 29349 \text{ Std.} \quad (7.1)$$

erreichen. Der Vorteil eines digitalen Integrators lässt sich sofort erkennen. Allerdings muss das Eingangssignal alle Voraussetzungen erfüllen. Wie bereits in Abschnitt 3.2 erwähnt und in Abschnitt 9.2 messtechnisch gezeigt, reicht der vorgeschlagene Anti-Aliasing-Filter nicht aus. Störfrequenzen die bei der Abtastfrequenz und deren Vielfachem liegen, führen zu einem falschen Ergebnis. Das abgetastete Signal erscheint als Gleichspannung nach dem AD-Wandler und wird vom Integrator aufintegriert. Solche Probleme würden wiederum bei einem analogen Integrator nicht auftreten. Die Abbildung 7.5 zeigt das Problem bei einem nicht ausreichenden Anti-Aliasing-Filter. Um eine leichte Veränderung beobachten zu können, wurde mit Absicht eine Störfrequenz bei 655 statt 666 kHz simuliert (666 kHz - 655 kHz = 11 kHz). Das Ausgangssignal nach dem S&H-Glied erscheint über eine kurze Messperiode nahezu als Gleichspannung und liefert dem Integrator eine falsche Aussage über das Eingangssignal. Das gleiche Problem ist auch bei echten niederfrequenten Störungen zu erwarten.

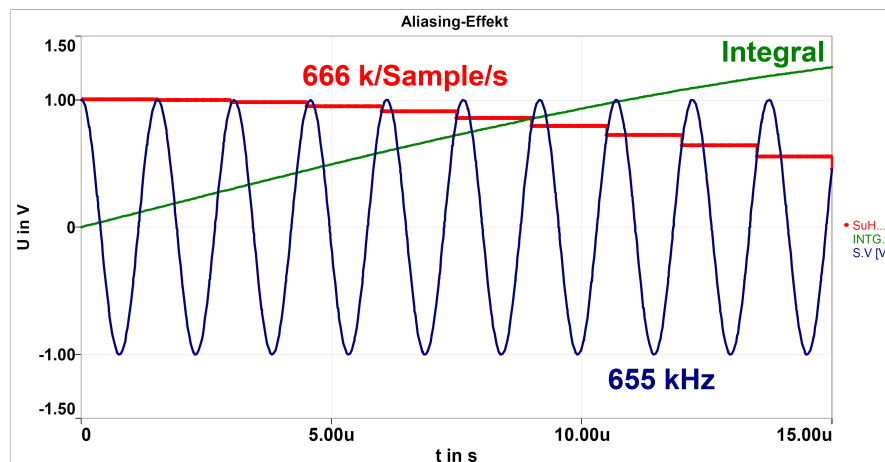


Abbildung 7.5: Problem der Abtastung (Aliasing-Effekt)

7.2 Integralalgorithmus

Der digitale Integrator lässt sich nach zwei Möglichkeiten realisieren. Entweder durch die vereinfachte »Rechteck-Regel« (Gleichung 7.2) oder durch die bilineare quasikontinuierliche Näherung (Tustin-Regel) (Gleichung 7.5); T = Abtastzeitspanne, K_I = Verstärkung.

Rechteck-Regel:

$$s \approx \frac{1 - z^{-1}}{T} \quad (7.2)$$

$$\text{I-Glied: } \frac{K_I}{s} \approx \frac{K_I \cdot T}{1 - z^{-1}} \quad (7.3)$$

$$\text{Algorithmus (y[k]=OUT): } y[k] = y[k - 1] + x[k] \cdot K_I \cdot T \quad (7.4)$$

Tustin-Regel:

$$s \approx \frac{2}{T} \cdot \frac{1 - z^{-1}}{1 + z^{-1}} \quad (7.5)$$

$$\text{I-Glied: } \frac{K_I}{s} \approx \frac{K_I \cdot T}{2} \cdot \frac{1 + z^{-1}}{1 - z^{-1}} \quad (7.6)$$

$$\text{Algorithmus (y[k]=OUT): } y[k] = \frac{x[k] + x[k - 1]}{2} \cdot K_I \cdot T + y[k - 1] \quad (7.7)$$

Wegen der Rückführung des Ausgangssignals handelt es sich in beiden Varianten um ein IIR¹-Filter. Für den Algorithmus nach Tustin-Regel sollte man ein Mikrocontroller-Core im FPGA einsetzen und die Programmierung in einer Hochsprache wie »C« durchführen. Damit lässt sich durch Verwendung von Zahlenformaten wie »float« und »double« eine deutlich höhere Auflösung erreichen.

7.2.1 Zusammenfassung

Aufgrund mangelnder Information über das Eingangssignal können noch keine genauen Parameter des Integrators bestimmt werden. Erst nach Fertigstellung des gesamten Empfangs-

¹Infinite duration impulse response

system kann eine weitere Untersuchung auf notwendige Signalverarbeitung gemacht werden. Der aktuell eingesetzte Integralalgorithmus nach Rechtecknäherung hat eine Verstärkung von

$$K_I = \frac{1}{T_I} = \frac{1}{T_{Sample}} = f_{Sample} \quad (7.8)$$

$$y[k] = y[k - 1] + x[k] \quad (K_I \cdot T = 1) \quad (7.9)$$

8 Stabilität der Versorgungsspannung

Um sich zu vergewissern, dass die Versorgungsspannungen eine ausreichende Güte für die einzelnen Schaltungen aufweisen, wurden bei dieser Messung die Versorgungsspannungen in erster Linie auf Stabilität, Übersprechverhalten und Störunterdrückung untersucht, ebenso die analogen Eingänge auf Störanteile.

8.1 Erwartungen

Es sollten keine gravierenden Störanteile vorhanden sein, die das System in Instabilität bringen oder die analoge Schaltung stören. Je nach Versorgungsspannung für digitale oder analoge Schaltungsteile werden auch unterschiedliche Qualitätsansprüche gestellt. Eine digitale Schaltung fängt erst dann an auszusetzen, wenn die Störanteile so groß werden, dass eine saubere Erkennung von HIGH und LOW nicht mehr möglich ist. Störungen dieser Art werden hauptsächlich durch Verwendung von gemeinsamer Masseimpedanz, Übersprechen oder Reflexion verursacht. Bei einer analogen Schaltung führen schon kleine Störanteile in der Versorgungsspannung oder an Ein- und Ausgängen zur Verfälschung des Signals. Breitbandige Störer wirken wie Rauschen und lassen sich im Signal nur schlecht erkennen. Störanteile jeglicher Art verschlechtern den Signal-Rauschabstand (S/N) der Schaltung. Kann am Eingang kein $(S/N) > 100$ dB erreicht werden, muss mit Verlusten in der Auflösungsgenauigkeit gerechnet werden.

8.2 Messgeräte und Aufbau

Weil die meisten Spektrum-Analysatoren keine Gleichspannung am Eingang vertragen, muss ein DC-Block verwendet werden. Für Messungen im unteren Frequenzbereich wurden eigene DC-Blocks verwendet. Aus einem Kondensator und zwei SMA-Buchsen kann man sich einen passenden DC-Block bauen. Die eingesetzten Geräte werden aus der folgenden Auflistung ersichtlich:

- Rohde und Schwarz Spektrum-Analysator (9 kHz - 30 GHz) FSP
- DC-Block 10 MHz..12 GHz
- DC-Block < 10 MHz (Eigenbau)

Die einzelnen Versorgungsspannungen wurden wie in Abbildung 8.1 dargestellt untersucht.

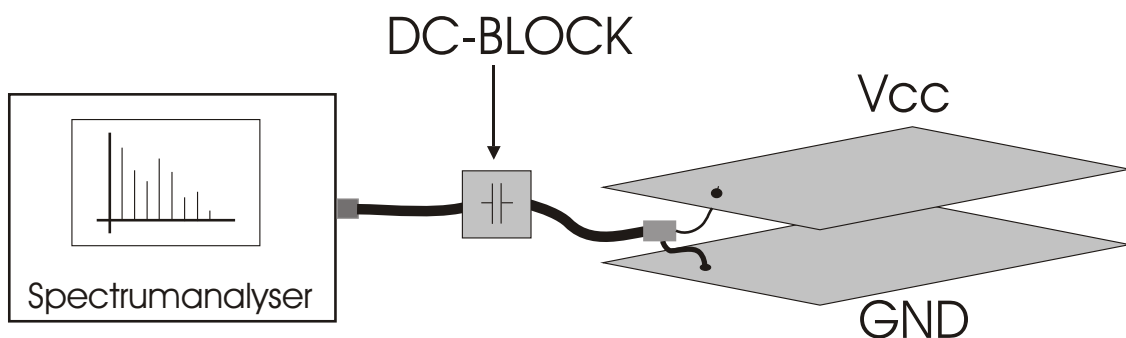


Abbildung 8.1: Messaufbau zur Untersuchung der Versorgungsspannungen

8.3.2 Digitale Versorgungsspannung

Als nächstes wurden die digitalen Versorgungsspannungen nach störenden Frequenzen und auf Übersprechverhalten untersucht. Wie man der Abbildung 8.4 und 8.5 auf der nächsten Seite entnehmen kann, erreicht die Entkopplung der beiden Versorgungsspannungen sehr gute Ergebnisse. Es sind kaum Störanteile der einen Versorgungsspannung in der anderen zu erkennen.

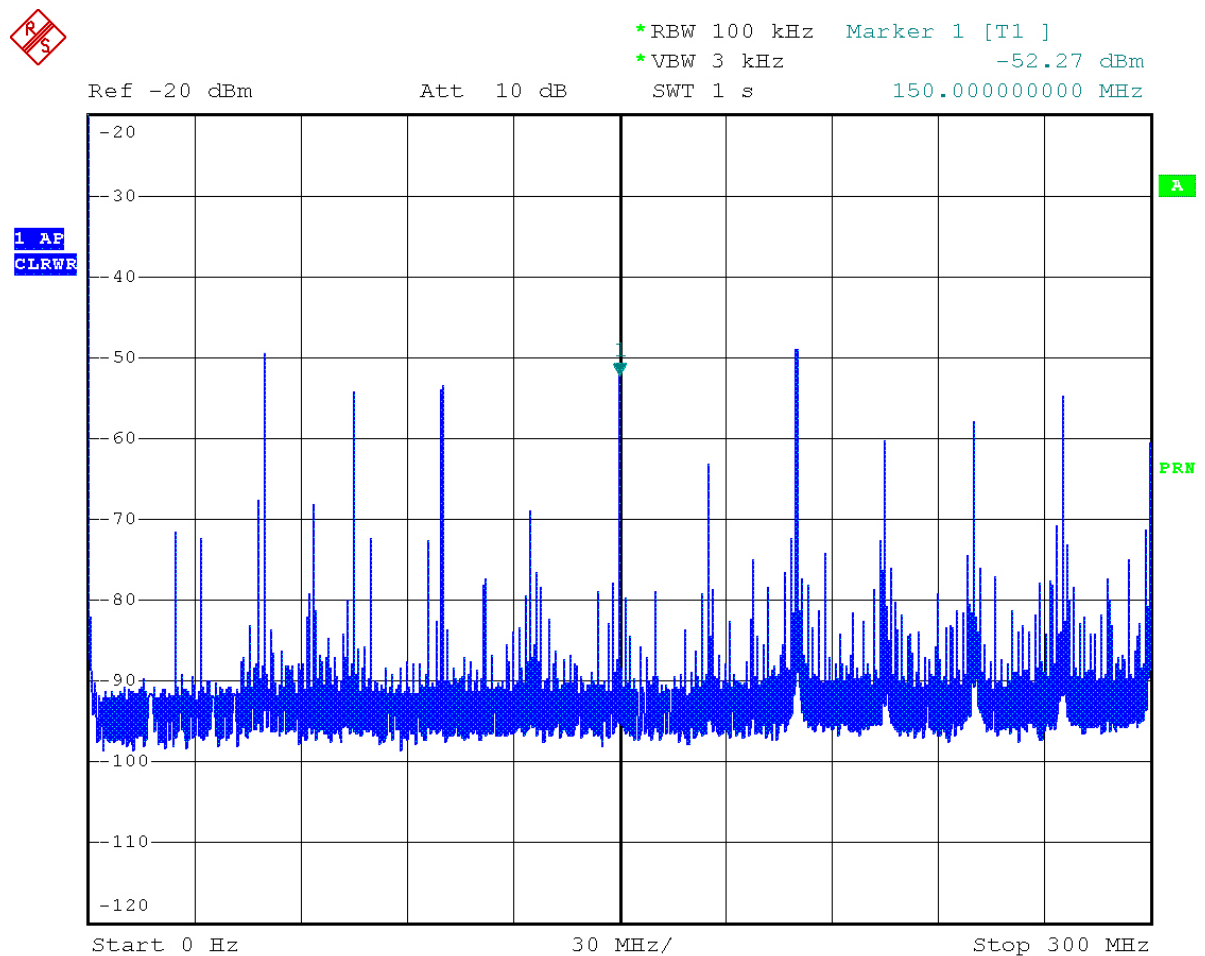
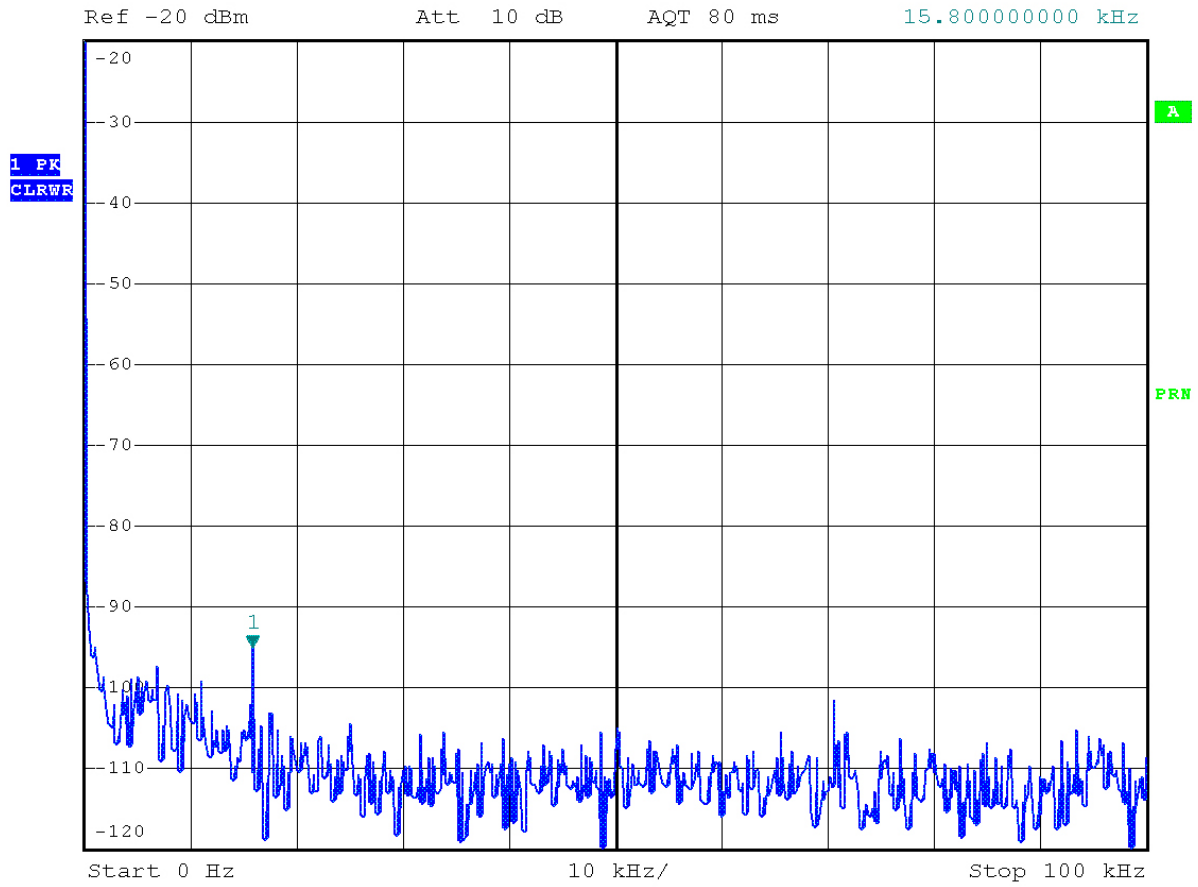


Abbildung 8.4: Störungen in der Ethernet Versorgungsspannung 3,3 V

8 Stabilität der Versorgungsspannung



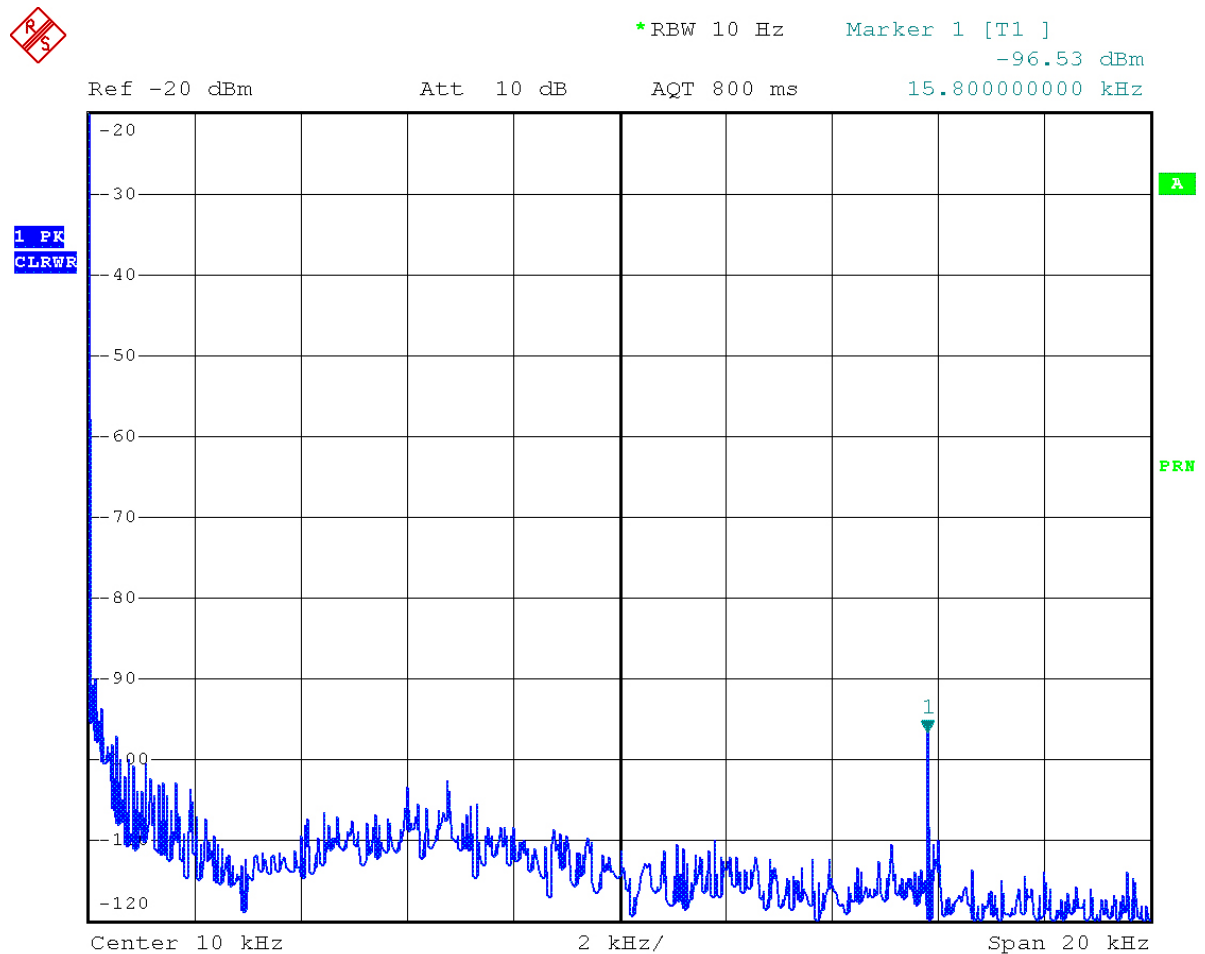
*RBW 100 Hz Marker 1 [T1]
-94.91 dBm
15.800000000 kHz



Comment: Baecon Pocket Wandler on
Date: 15.AUG.2007 21:46:40

Abbildung 8.7: Störungen in der analogen 5 V Versorgungsspannung

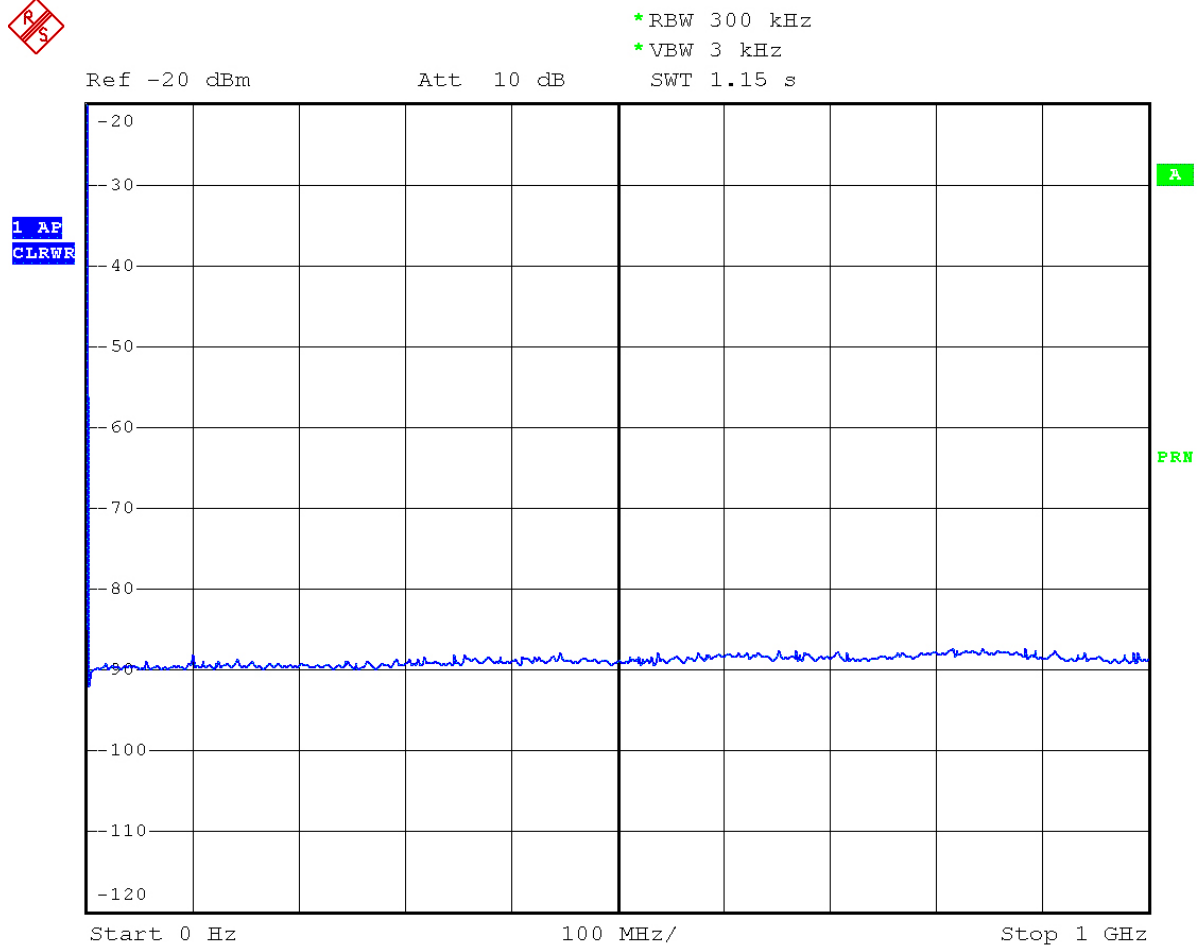
8.3.4 Analoge Eingänge



Comment: Baecon Pocket Wandler on
 Date: 15.AUG.2007 22:39:05

Abbildung 8.8: Störungen an den analogen Eingängen (20 kHz)

Auch hier konnten keine bemerkenswerten Störungen gemessen werden. Die Abbildung 8.8 und 8.9 auf der nächsten Seite zeigen zwei Ausschnitte aus der Messreihe. Weder im unteren noch im oberen Frequenzbereich bis 1 GHz sind Störungen zu sehen. Nur ein geringer Anteil eines 15,8 kHz Störers ist zu sehen. Mit einer Leistung unter -90 dBm kann er vernachlässigt werden. Wenn die Messungen alle stimmen, dann liegt der Signal-Rauschabstand an den Eingängen bei ca. 110 dB.



Comment: Baecon Pocket Wandler on
Date: 15.AUG.2007 22:31:43

Abbildung 8.9: Störungen an den analogen Eingängen (1 GHz)

8.4 Zusammenfassung

Im Allgemeinen lässt sich sagen, dass der entstandene Aufwand in der Entwicklungsphase gelohnt hat. Spezieller Lagenaufbau, örtliche Trennung und Entstörgruppen sorgen für eine ausreichende Stabilität der Versorgungsspannung und geringes Übersprechen. Anhand der Messung kann aber noch keine genaue Aussage über die Abstrahlung und Störung anderer Systeme gemacht werden. Eine EMV-Messung im Nah- und Fernfeld ist deshalb unbedingt notwendig.

9 Untersuchung der Analogschaltung

In der Testphase wurde das Backend auf seine Grenzen und Möglichkeiten untersucht. Besonderer Wert wurde auf folgende Eigenschaften gelegt:

- Rauschen am AD-Wandler beim überbrückten Eingang
- Aliasing-Effekt durch nicht ausreichende Filterordnung
- Gleichtaktstörunterdrückung
- Sprungantwort und Einschwingverhalten
- nichtlineare Verzerrungen
- Übersprechen der benachbarten Kanäle

Für die schnelle Auswertung der Daten wurde mit LABVIEW programmiert. Damit lassen sich in kürzester Zeit sehr hilfreiche Tools und Auswertungen erstellen. Auf den Einsatz der Signalverarbeitung im FPGA wird im Augenblick verzichtet. Erst wenn man das System genauer untersucht hat, macht der Einsatz von Signalverarbeitung einen Sinn. Deshalb werden die Messdaten erst direkt übertragen.

9.1 Rauschen

Mit Hilfe eines Histogramms wurde die Verteilung der Abtastwerte um einen festen Wert beobachtet. Um Störeinflüsse von außen zu vermeiden, wurde das Gehäuse komplett geschlossen und der differentielle Eingang überbrückt. Die Abbildung 9.1 und 9.2 zeigt das Ergebnis von 131072 Abtastwerten.

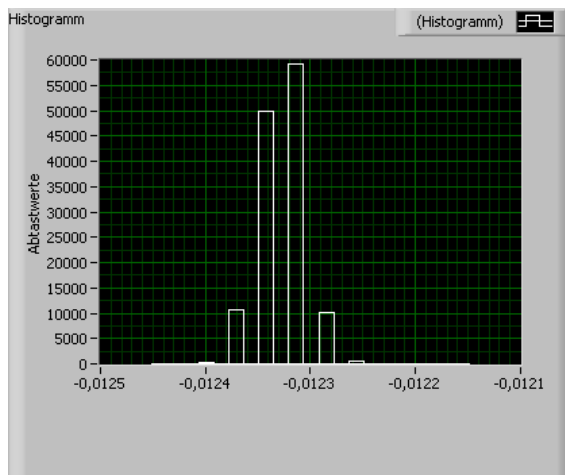


Abbildung 9.1: Verteilung der Abtastwerte im Histogramm

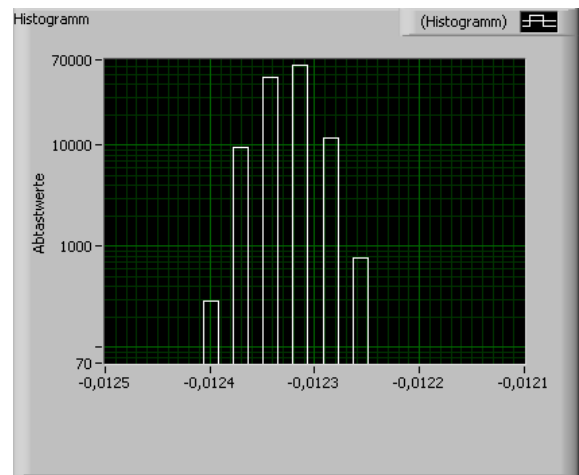


Abbildung 9.2: Verteilung der Abtastwerte im Histogramm (logarithmisch)

Vergleicht man das Histogramm des Herstellers in Abbildung 9.3 mit dem eigenen, dann lässt sich eine etwas stärkere Streuung erkennen. Für Einzelwertmessungen ohne Mittelwertbildung kann man sich deshalb nur auf 15 bis 16 Bit des AD-Wandlers verlassen. Bildet man dagegen den Mittelwert, so liegt das Ergebnis ziemlich genau in der Mitte und erreicht die volle 18 Bit Auflösung. Allerdings sagt das Ergebnis noch nichts über den möglichen Offset- oder Verstärkungsfehler aus.

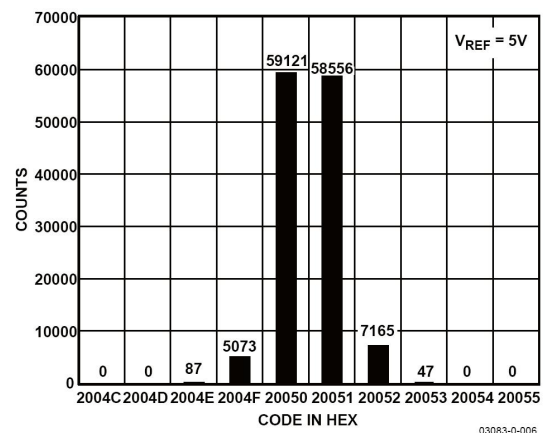


Figure 6. Histogram of 131,072 Conversions of a DC Input at the Code Transition

Abbildung 9.3: Streuung der Abtastwerte des AD7674 laut Hersteller (Analog Devices)

9.2 Aliasing-Effekte

Wie schon in Abschnitt 3.2 erwähnt, reicht ein Filter 3. Ordnung mit einer Grenzfrequenz von 100 kHz bei weitem nicht aus. Mit einer Abtastrate von 250 kHz und einem Eingangssignal von 1,01 MHz soll das Problem verdeutlicht werden.

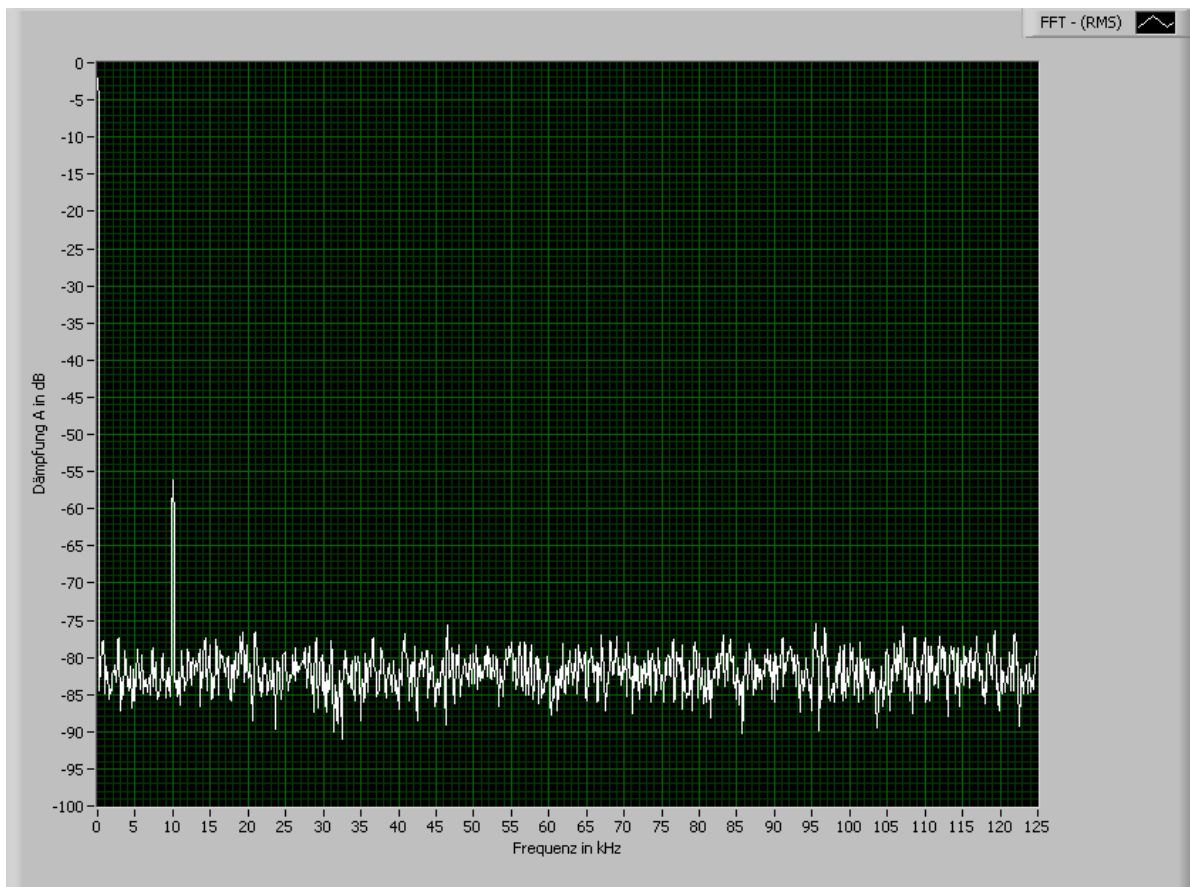


Abbildung 9.4: Aliasing-Effekt bei 1,01 MHz

In Abbildung 9.4 lässt sich der Aliasing-Effekt sehr gut beobachten. Dabei entspricht der 0 dB Wert einer gleichen Eingangsleistung im Durchlassbereich. Wie man sieht, wird das Eingangssignal von 1,01 MHz gerade mal um 55 dB unterdrückt. Theoretisch erreicht dieser Tiefpass erst nach zwei Dekaden eine ausreichende Wirkung. Es muss auf jeden Fall dafür gesorgt werden, dass das Eingangssignal keine Frequenzen enthält, die das Abtasttheorem verletzen könnten. Auch eine Signalverarbeitung im FPGA mit digitalen Filtern kann keine Abhilfe schaffen. Die Frequenzen können nur im Analog-Bereich entfernt werden.

9.3 Gleichtaktstörunterdrückung (CMRR)

Bei der Untersuchung auf Gleichtaktstörverhalten wurde auf den überbrückten Eingang ein Sinussignal mit 2 V p-p aufgeben. Um die maximale Empfindlichkeit zu ermitteln, wurde bei gleichem Eingangspegel die Frequenz variiert und das Ausgangssignal dem digitalen Datenstrom entnommen. Die Abbildung 9.5 zeigt das Ergebnis der gemessenen Gleichtaktstörunterdrückung über der Frequenz. Für einen besseren Vergleich wurde die bereits simulierte Kennlinie aus Abschnitt 3.1.6, Abbildung 3.15 in das Diagramm eingefügt. Die Ergebnisse sind nahezu identisch und beruhen auf der Bauteiltoleranz der RC-Glieder.

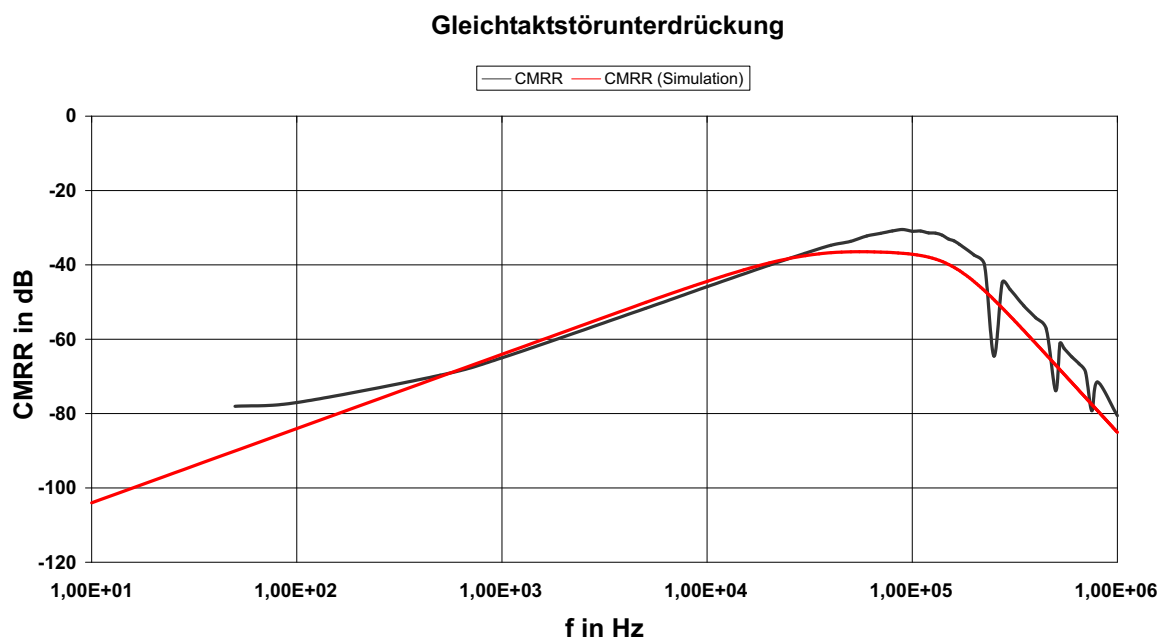


Abbildung 9.5: Gleichtaktstörunterdrückung der Analogschaltung

Im unteren Frequenzbereich können Störungen wie z.B. 50 Hz Netzspannung noch mit ca. 78 dB unterdrückt werden. Mit steigender Frequenz erhöht sich aber die Empfindlichkeit für Gleichtaktstörungen und erreicht, wie erwartet, ihren maximalen Wert von 30 dB bei einer Frequenz von 100 kHz. Der anschließende Abfall hängt nicht mit der Empfindlichkeit zusammen, sondern zeigt die Dämpfung der Tiefpässe. Auch nach Entfernen der EMI-Filter konnte keine nennenswerte Veränderung festgestellt werden. Die scheinbaren Einbrüche bei 250, 500 und 750 kHz sind ein Ergebnis des Aliasing-Effekts bei einer aktuellen Abtastrate von 250 kSample/s. Entspricht die Eingangsfrequenz der Abtastrate oder ihrem Vielfachen, dann erscheint eine Gleichspannung am Ausgang.

Eine leichte Verbesserung der Gleichtaktstörunterdrückung könnte man durch eine Serienresonanz bei 100 kHz erreichen.

9.4 Einschwingverhalten

Für das aktuelle Messverfahren wird ein möglichst schnelles Einschwingverhalten auf sprunghafte Änderungen am Eingang erwartet. Um eine exakte Sprungantwort zu erhalten, muss man für eine saubere Sprungfunktion am Eingang sorgen. Die Abbildung 9.6 zeigt die Sprungantwort auf ein 4 kHz Rechtecksignal. Wie gewünscht erreicht die Sprungantwort bereits nach wenigen Abtastwerten ihren Endwert.

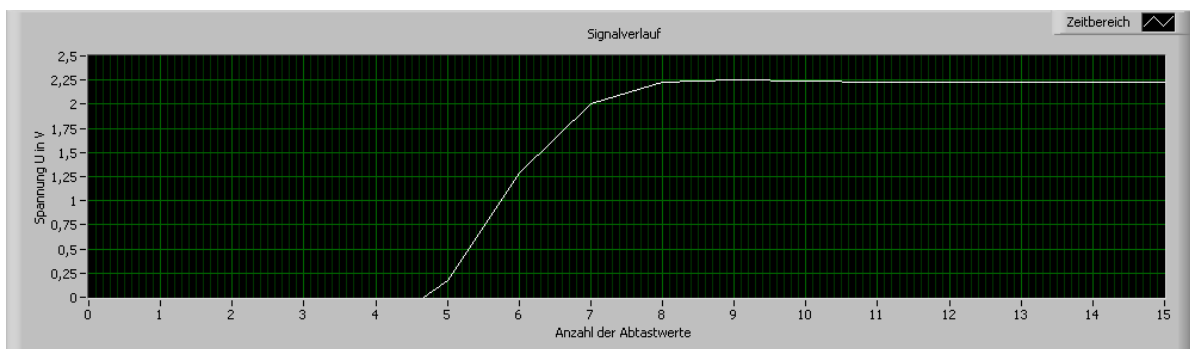


Abbildung 9.6: Sprungantwort auf ein 4 kHz Signal

Allerdings reicht diese Darstellung nicht aus, um das tatsächliche Einschwingverhalten zu beobachten. Die Abbildung 9.7 zeigt eine höhere Auflösung des Einschwingverhaltens.

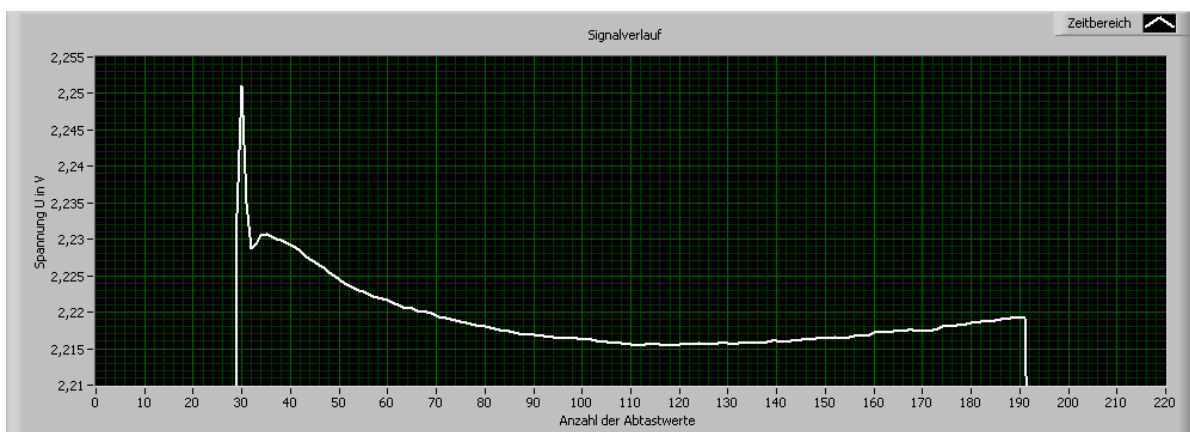


Abbildung 9.7: Sprungantwort auf ein 4 kHz Signal (Zoom)

Um sich zu vergewissern, dass das Verhalten nicht von der Schaltung verursacht wird, sondern von der Quelle, wurde es zusätzlich mit dem Oszilloskop erfasst. Wie man in Abbildung 9.8 sieht, decken sich die beiden Bilder. Aufgrund der nicht realisierbaren idealen Sprungfunktion kann nur eine Näherung des tatsächlichen Verhalten ermittelt werden.

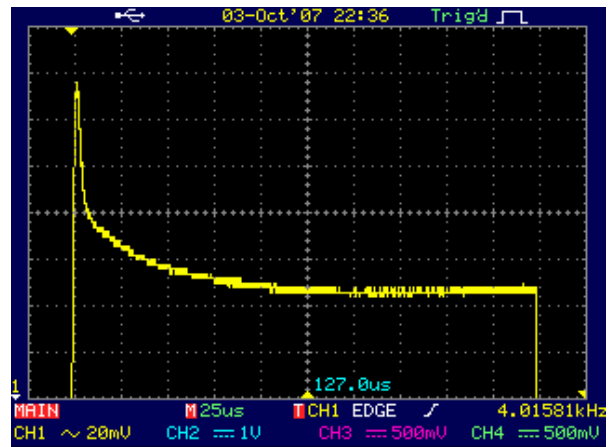


Abbildung 9.8: Aufzeichnung der Sprungfunktion mit dem Oszilloskop

9.5 Verzerrungen

Für die Messung der harmonischen und nichtharmonischen Verzerrung ist ein sehr sauberes Sinussignal notwendig. Um eine Aussage über das System machen zu können, müssen die unerwünschten Anteile der Quelle unter dem zu messenden System bleiben. Der im Augenblick verwendete HAMEG Funktionsgenerator hat laut Datenblatt einen Klirrfaktor von $k = 0,1\%$ und eine nichtharmonische Verzerrung von -65 dBc. Für kleine Werte von k kann man die Näherung nach Ausdruck 9.1 vornehmen.

$$\frac{THD}{\text{dB}} \approx 20 \cdot \log\left(\frac{k}{100}\right) \quad (9.1)$$

Damit entspricht der THD (Total Harmonic Distortion) ungefähr -60 dB und reicht für die Untersuchung der analogen Eingangsstufe nicht aus. Die Abbildung 9.9 bestätigt nur die Angaben des HAMEG Funktionsgenerators.

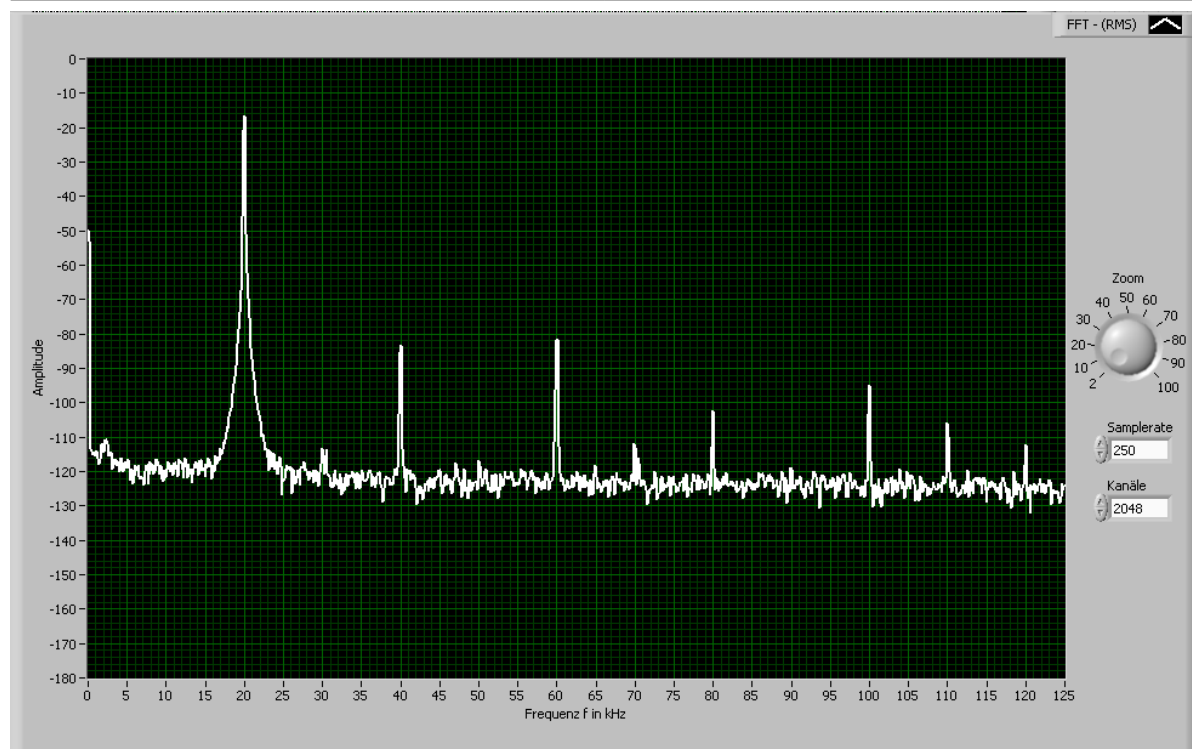


Abbildung 9.9: Untersuchung auf Verzerrungen

9.6 Übersprechen der benachbarten Kanäle

Bei der Untersuchung auf Übersprechverhalten der benachbarten Kanäle konnte Dank der kurzen Leiterbahnen und räumlicher Trennung der einzelnen Kanäle kein Übersprechverhalten festgestellt werden.

10 EMV-Messung

10.1 Einführung

Mit ständig wachsender Anzahl an elektronischen Geräten und deren Gewichtsreduzierung durch leichte Kunststoffgehäuse entstehen immer mehr elektromagnetische Störer. Damit stellen elektromagnetische Störungen eine zunehmende und immer ernsthaftere Form der Umweltbelastung dar. Die Anzahl an Störquellen, wie elektrische Maschinen, Mobiltelefone, WLAN, MP3-Player usw., ist schon fast unzählbar geworden. Die Auswirkungen machen sich an vielen Stellen bemerkbar und können sogar für den Menschen eine Gefahr darstellen. Hier ein paar Beispiele aus dem alltäglichen Leben:

- Aussetzen der Zentralverriegelung oder Totalausfall eines Fahrzeuges in der Nähe eines Flughafens oder Rundfunksenders.
- Herzschrittmacher und medizinische Geräte kommen aus dem Rhythmus und bringen Menschenleben in Gefahr.
- Funkverbindungen der Polizei und Feuerwehr werden gestört und somit die Rettung von Menschenleben gehindert.

Besonders in der Radioastronomie arbeitet man mit sehr empfindlichen Empfängern und ist auf eine ungestörte Umgebung angewiesen. Auch wenn der Ausfall oder die Fehlfunktion eines Empfängers keine Auswirkung auf das Menschenleben hat, so hindert es doch die Wissenschaftler bei der Arbeit. Störungen erhöhen das Rauschen oder treiben den Empfänger in die Sättigung. Dies erhöht die Herausforderung bei der Konstruktion und Auswertung der Messeinrichtungen. Natürlich dürfen auch die Messsysteme keine elektromagnetischen Wellen abstrahlen oder sich untereinander stören. Da das neue Backend in unmittelbaren Nähe des Empfängers montiert werden soll, muss für eine ausreichende Abschirmung gesorgt werden. Um einen ersten Eindruck über die verursachten Störungen zu bekommen, wurden einige Vergleichsmessungen mit und ohne Gehäuse durchgeführt. Dabei wurde mit einer Nahfeldsonde und einer logarithmisch periodischen Antenne nach Störquellen gesucht.

10.2 Messaufbau

Als Spannungsversorgung dient ein rein analoges Netzteil von Rohde & Schwarz. Damit lassen sich Störungen durch Schaltnetzteile vermeiden. Je nach Messabstand wird mit der Nahfeldsonde oder mit der logarithmisch periodischen Antenne (LPDA) gemessen. Um im Empfindlichkeitsbereich des Spektrum-Analysators zu arbeiten, wird ein Messverstärker vorgeschaltet. Der Messaufbau richtet sich nur näherungsweise nach den Standards der EMV-Messung und kann der Abbildung 10.1 und 10.2 entnommen werden.

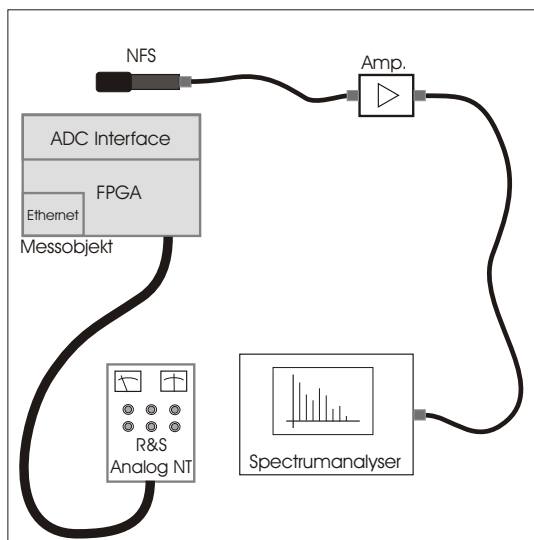


Abbildung 10.1: Nahfeldmessung

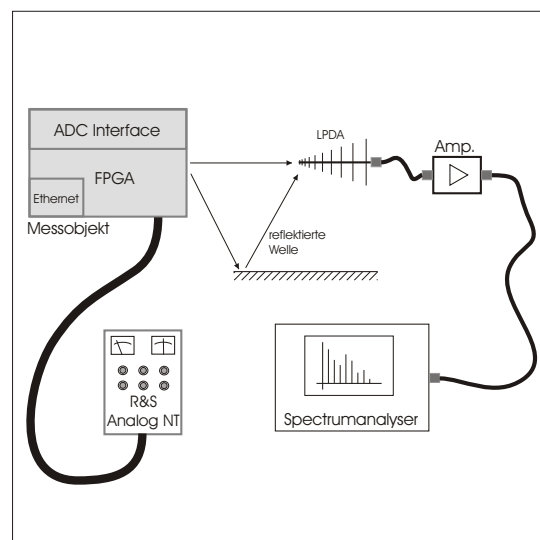


Abbildung 10.2: Fernfeldmessung

10.3 Nahfeldmessung

Um Störquellen zu lokalisieren wurde als erstes mit einer Nahfeldsonde am offenen Gehäuse gemessen. Dabei wurden die einzelnen Kammern nach Störquellen untersucht und mit dem Spektrum-Analysator aufgezeichnet. Nicht beobachtete Kammern wurden mit Aluminium-Klebeband abgeschirmt, um ein Übersprechen zu minimieren.

10.3.1 Ergebnis der Nahfeldmessung

Wie erwartet verursachen digitale Schaltungen breitbandige und starke Störungen. Durch hohe Anstiegsgeschwindigkeiten der Signale können Oberschwingungen bis in den Gigahertzbereich beobachtet werden. Die Abbildungen 10.3 auf der nächsten Seite und 10.4 auf Seite 89

zeigen besonders starke Störungen in der Nähe des FPGAs und der AD-Wandler-Schnittstelle. Höchstwahrscheinlich liegt die Ursache in der modularen Bauweise und damit in der kleinen Massefläche des FPGA-Moduls, sowie der Abstrahlung an den langen Signalleitungen. Eine geringfügige Verbesserung könnte man durch Anpassung der I/O-Treiber des FPGAs erreichen, indem man Strom und Anstiegsgeschwindigkeit verringert. Ein Übersprechen auf die Rückseite, zu den Analoggruppen, wird durch das Gehäuse und die Masseflächen verhindert. Damit sollte kein nennenswerter Störanteil für den Analogbereich entstehen.

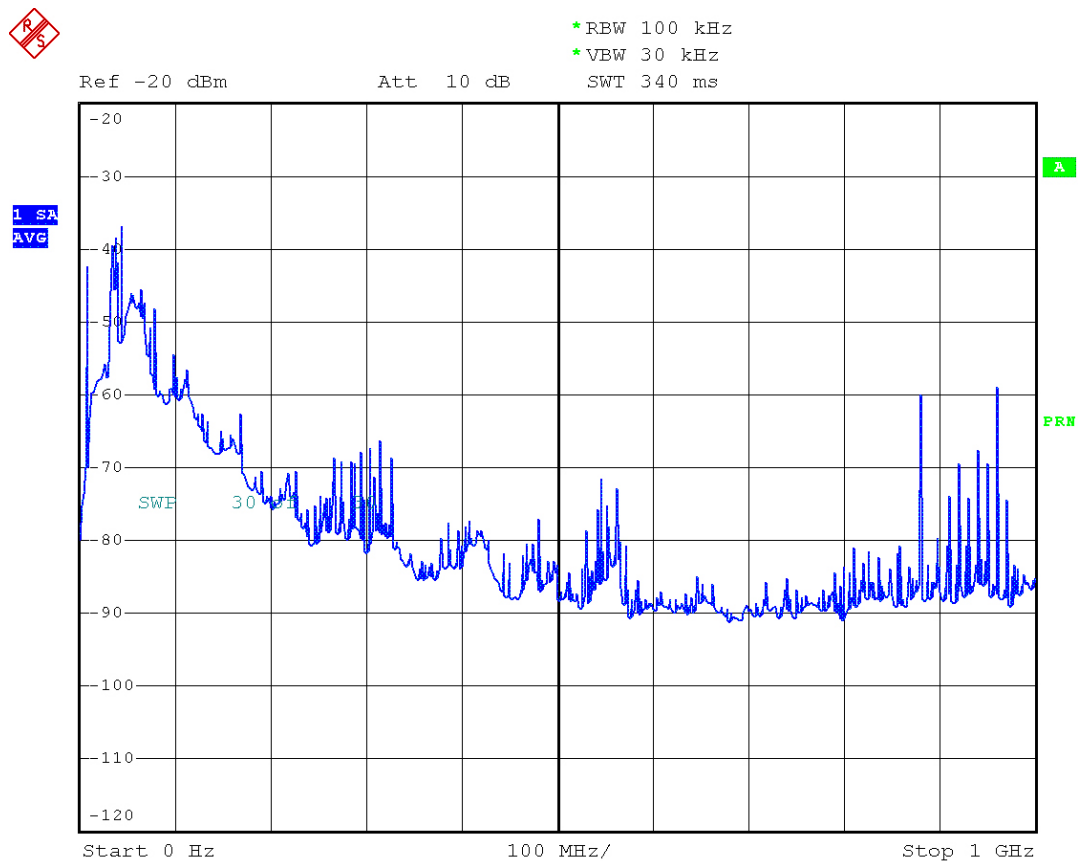


Abbildung 10.3: E-Feld-Messung am FPGA (offenes Gehäuse)

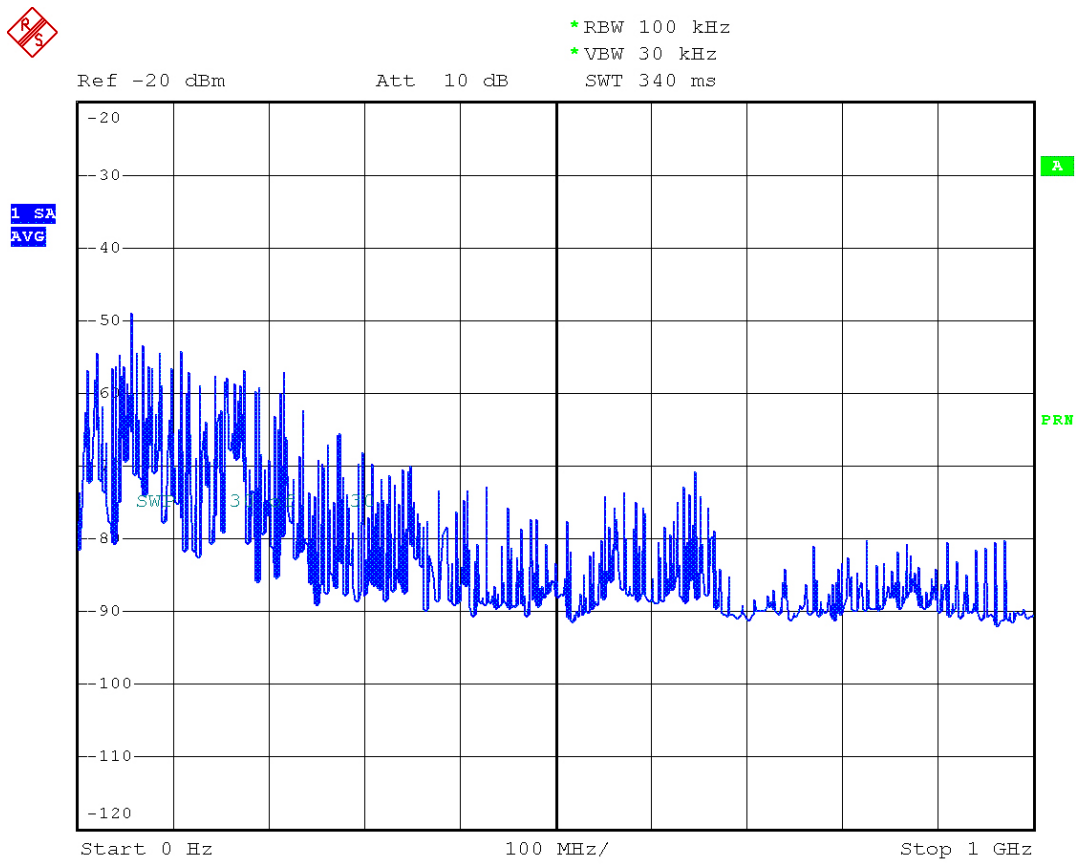


Abbildung 10.4: E-Feld-Messung am ADC-Interface (offenes Gehäuse)

Vergleicht man die Messungen mit den bereits in Kapitel 8 untersuchten Versorgungsspannungen, so lassen sich die ähnliche Störungen wiedererkennen. Deshalb ist die Berücksichtigung von EMV-Problemen schon während der Entwicklungsphase von großer Bedeutung.

Besonders positiv zeigt sich die Ethernetgruppe. Durch angepasste Leitungsimpedanz und mehrfache Entstörgruppen lassen sich die Störungen auf ein Minimum reduzieren. Wie man der Abbildung 10.5 entnehmen kann, sind nur vereinzelt stärkere Störspitzen zu erkennen.

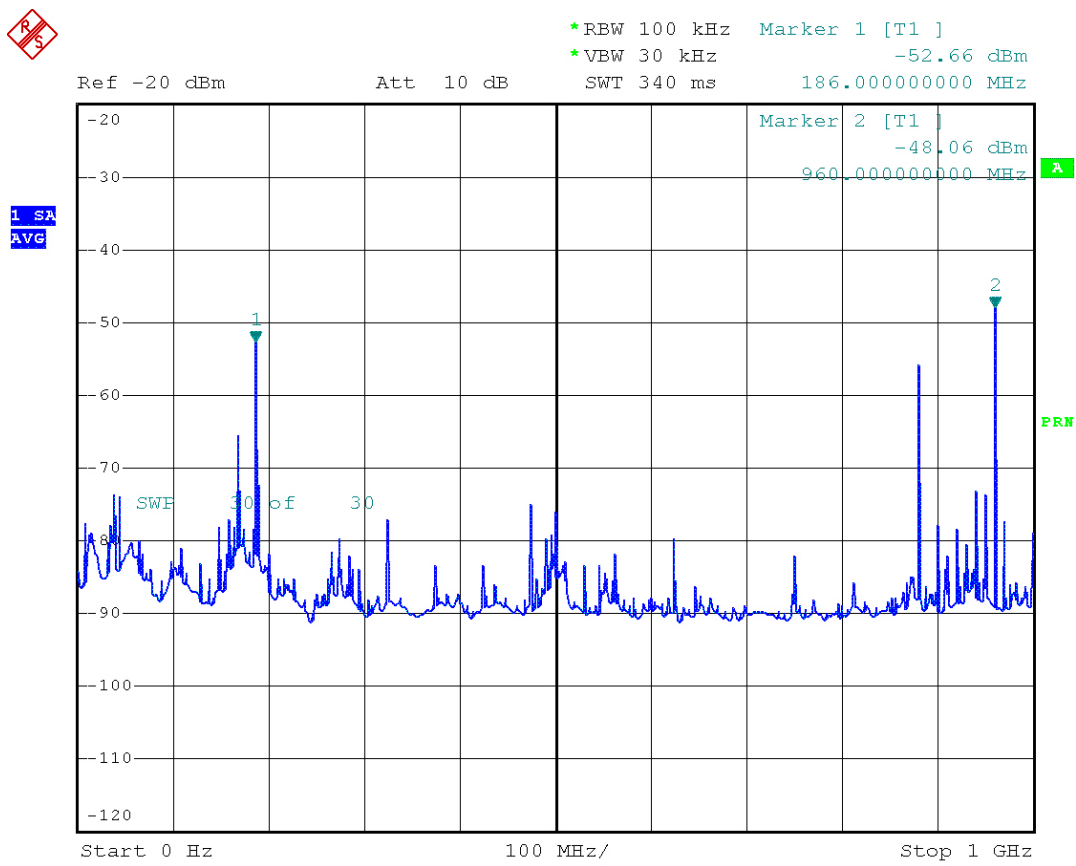


Abbildung 10.5: E-Feld-Messung an der Ethernet-Schaltung

Zum Vergleich wurde beim geschlossenen Gehäuse gemessen und an besonders kritischen Stellen näher untersucht. Wie man in Abbildung 10.6 sieht, kann mit einem EMV-dichten Gehäuse die Abstrahlung nahezu komplett unterdrückt werden. Auch die Durchgangsfiler sorgen für eine hervorragende Entstörung an den Ein- und Ausgängen. Das Messergebnis entspricht einem Spektrum beim ausgeschalteten Gerät.

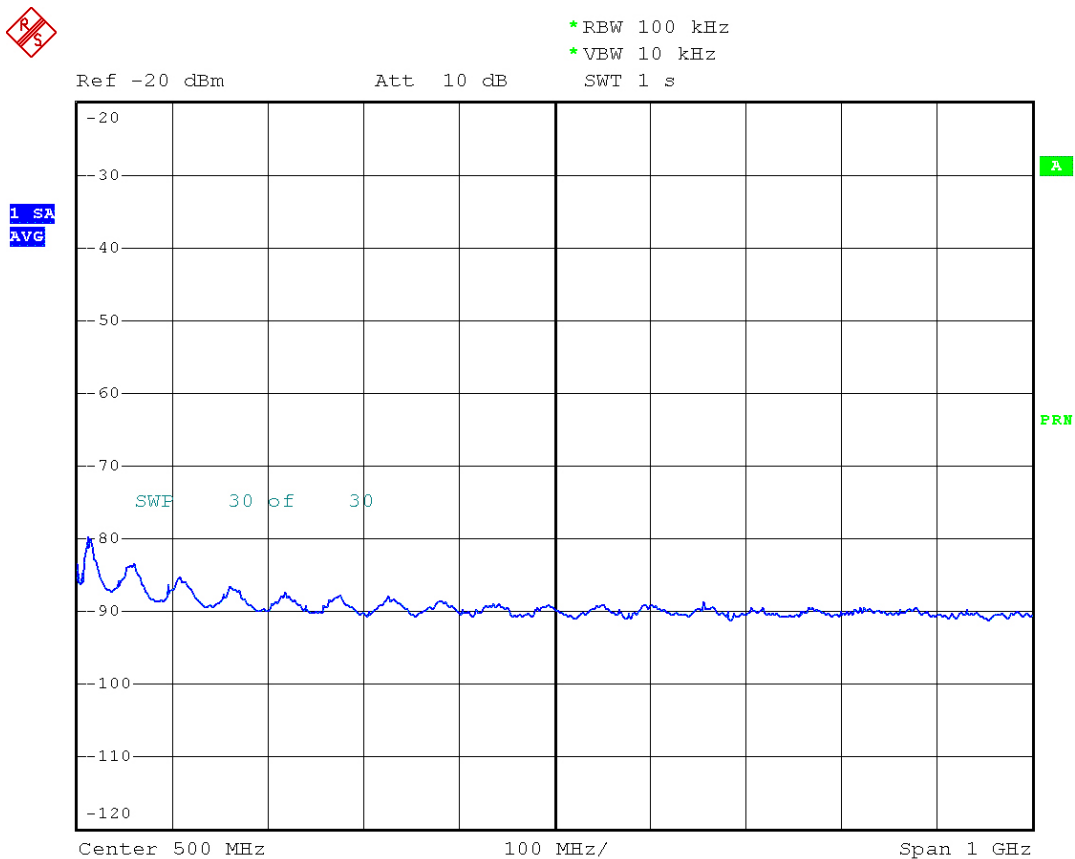


Abbildung 10.6: E-Feld-Messung am geschlossenen Gehäuse

10.4 Fernfeldmessung

Das ideale Fernfeld würde in einem unendlich großen Abstand liegen und nur ebene Wellen enthalten. Um die minimale Entfernung von der Quelle zu berechnen, kann entweder die Näherung ($d > \lambda/2\pi$) oder das Rayleigh-Kriterium nach Ausdruck 10.1 angewendet werden. Damit sollte bei einem Abstand von 3 m eine Fernfeldbeobachtung möglich sein.

$$d > \frac{2 \cdot D^2}{\lambda} \quad (10.1)$$

Die Messung fand wieder bei einem offenen und geschlossenen Gehäuse statt. Die Antenne wurde in unterschiedlicher Polarisierung und Höhe ausgerichtet. Mit Hilfe der Polarisierung kann eine vertikale oder horizontale Abstrahlung gemessen werden und durch Veränderung der Höhe können Auslöschungen durch Reflexion an Boden und Gegenständen vermieden werden

(Abbildung 10.2). Wegen der begrenzten Bandbreite der Antenne können keine genauen Aussagen über Störanteile unterhalb von 380 MHz gemacht werden. Laut Kalibrierschein ist eine starke Dämpfung zu erwarten. Genaue Messergebnisse der Antenne sind von 380 MHz bis 18 GHz vorhanden und können für die Ermittlung von Absolutwerten verwendet werden. Die Bandbreite nach oben ist im Augenblick durch den Messverstärker begrenzt, der bei Bedarf zu ersetzen ist.

10.4.1 Ergebnis der Fernfeldmessung

Wie man der Abbildung 10.7 und 10.8 auf der nächsten Seite entnehmen kann, liegen selbst beim geöffneten Gehäuse nur wenige Störfrequenzen im Bereich von 300 MHz bis 1 GHz vor.

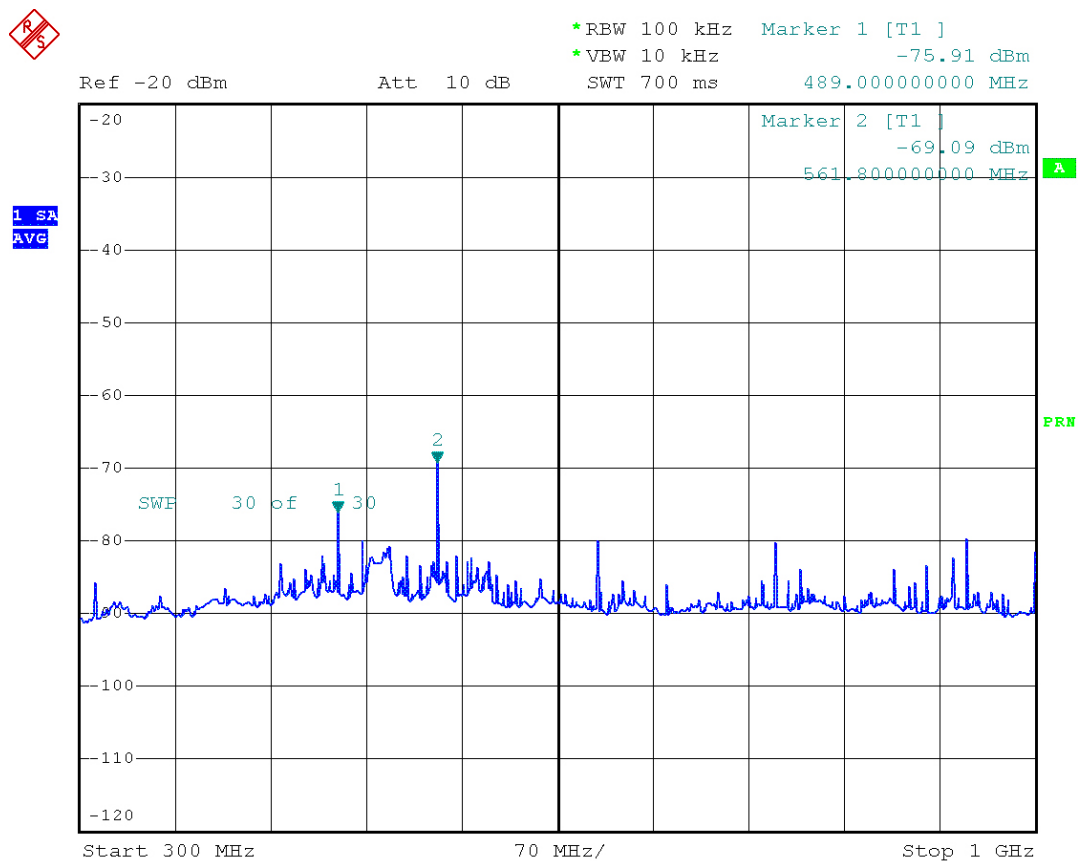


Abbildung 10.7: Fernfeldmessung in horizontaler Ausrichtung (offenes Gehäuse)

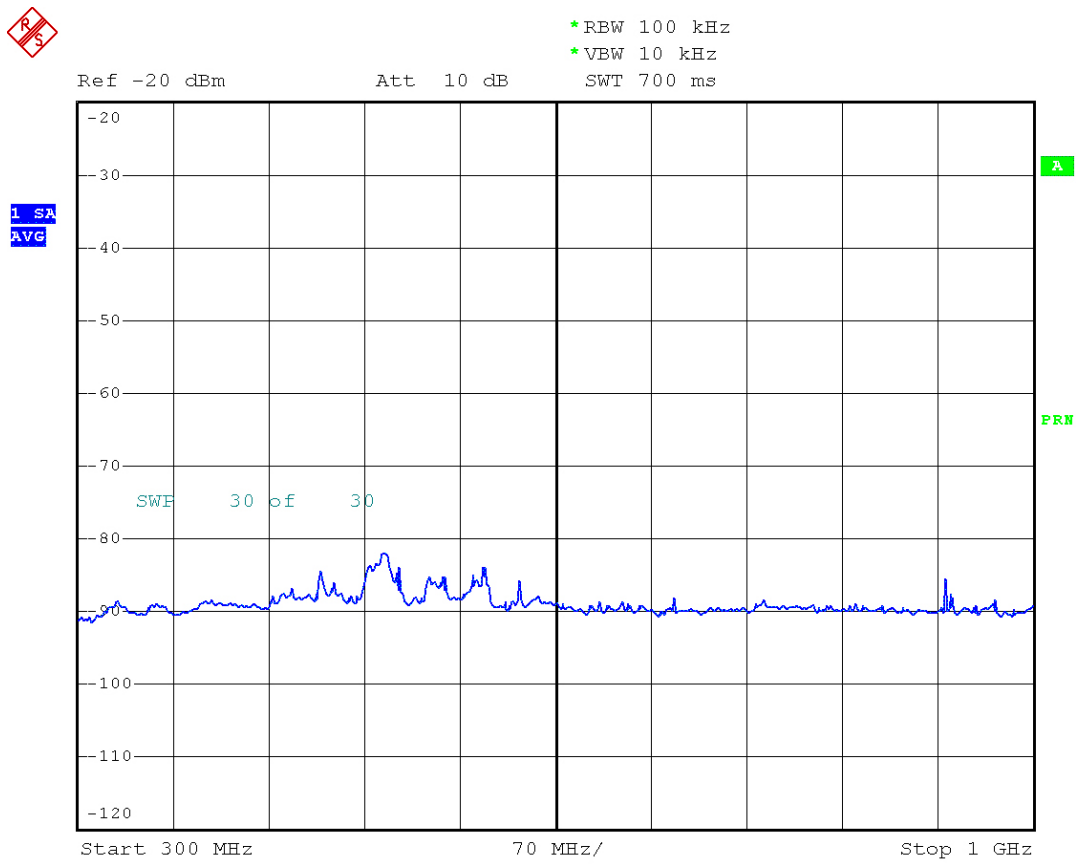
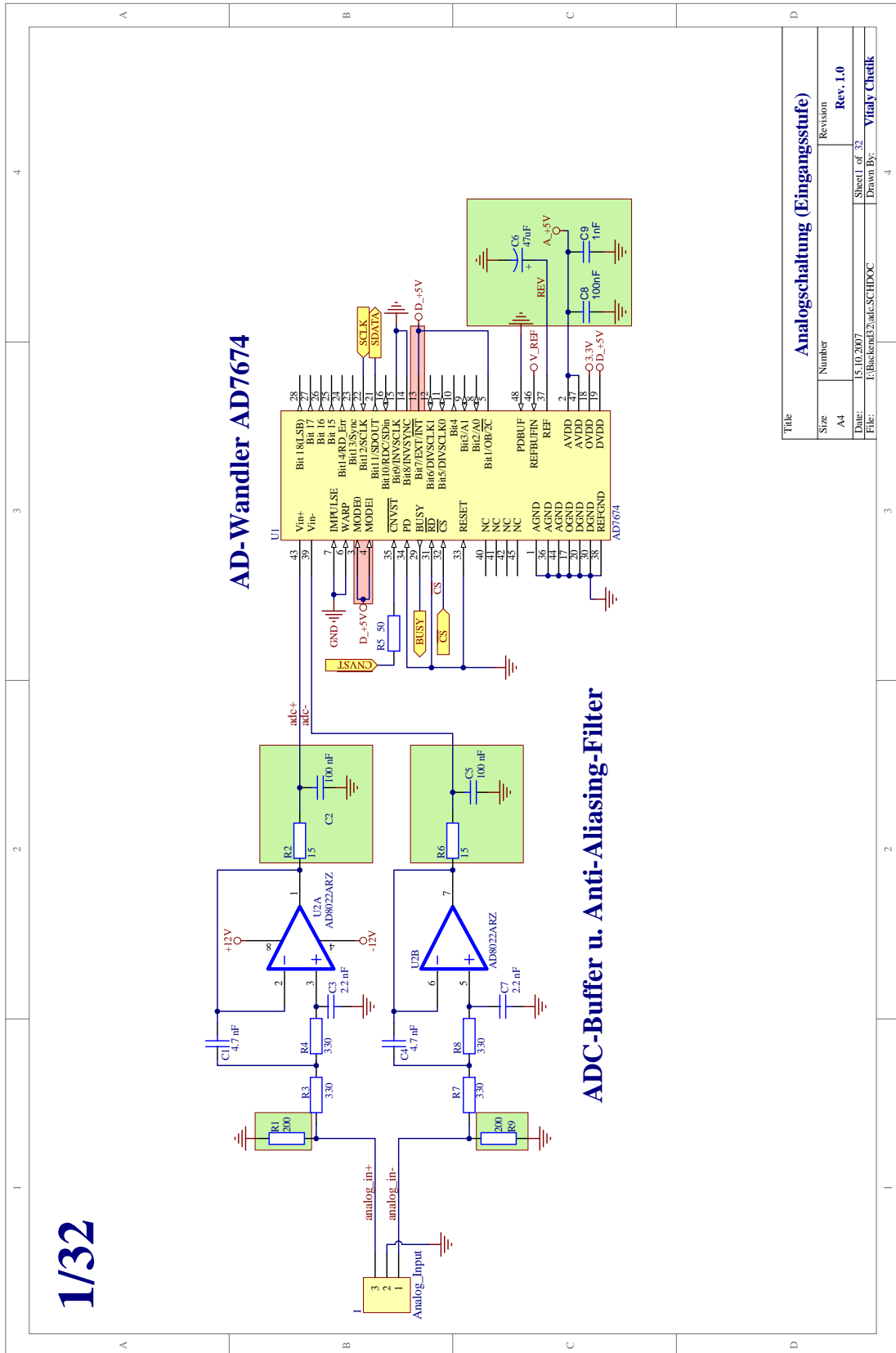


Abbildung 10.9: Fernfeldmessung am geschlossenen Gehäuse

10.5 Zusammenfassung

Ein EMV-dichtes Gehäuse mit Trennkammern und EMI-Durchgangsfiltren sorgt für eine effektive Abschirmung gegen den Austritt elektromagnetischer Wellen. Auch wenn bis 1 GHz keine Störungen gemessen werden konnten, so wird doch empfohlen noch Messungen oberhalb von 1 GHz zu machen. Möglicherweise treten Gehäuseresonanzen auf, die zu einer Verringerung der Abschirmwirkung führen.

A Schaltpläne



1/32

Abbildung A.1: Analogschaltung

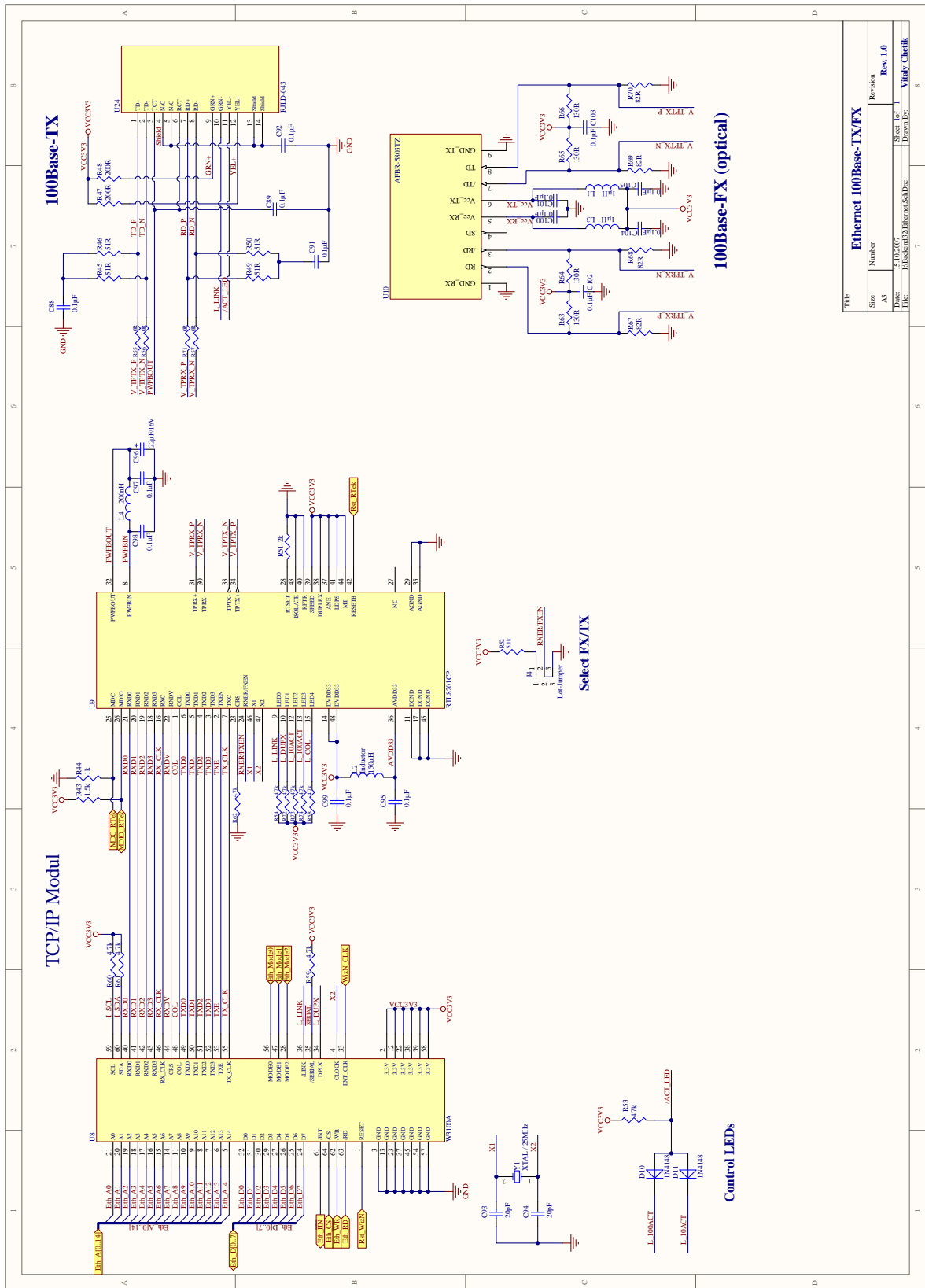


Abbildung A.2: Ethernet

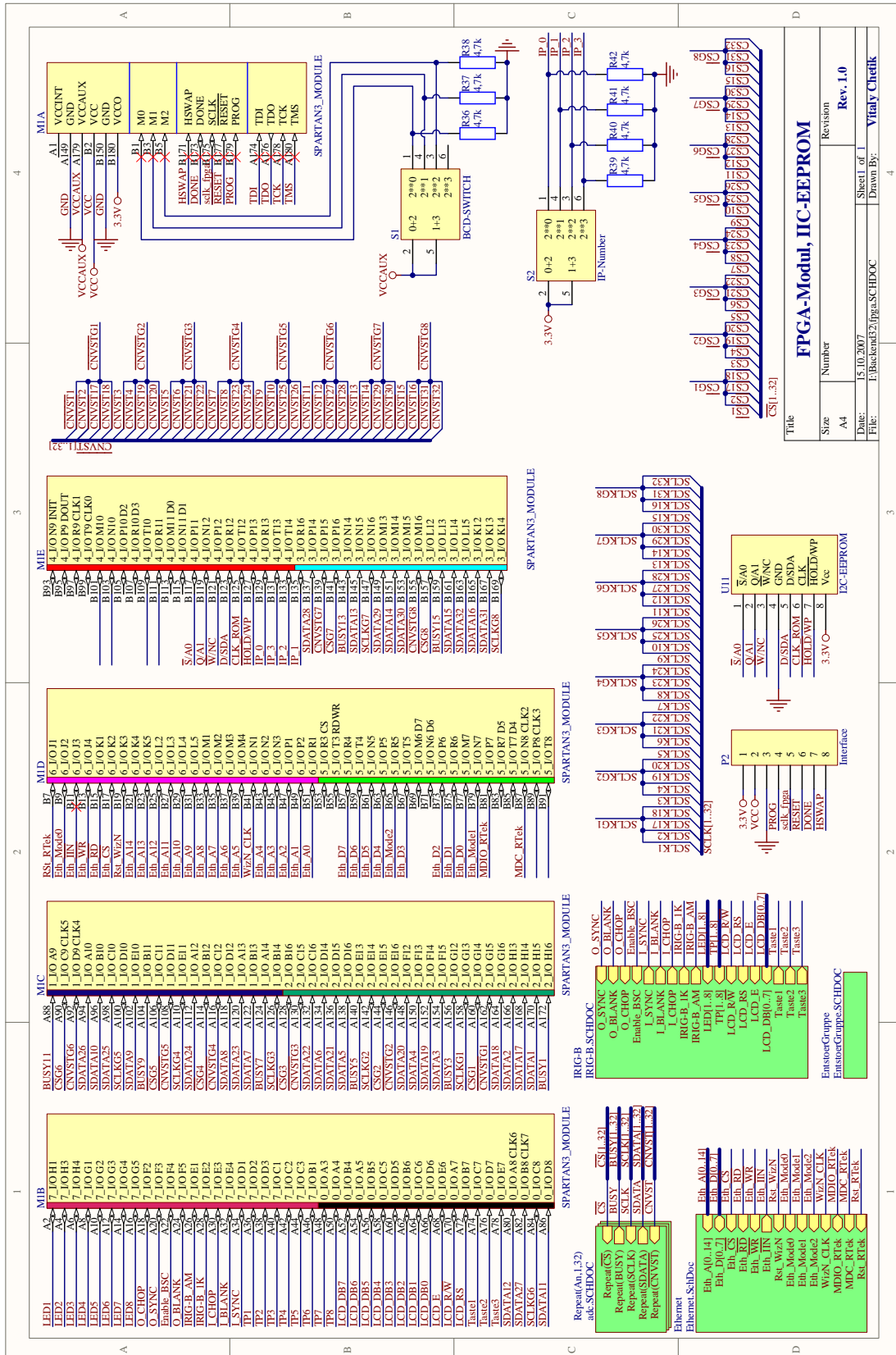


Abbildung A.3: FPGA und IIC-EEPROM

B Datenblätter

Die Datenblätter zu der eingesetzten Hardware sind auf der CD-ROM unter dem Verzeichnis »/datasheet/...« zu finden.

C Layout

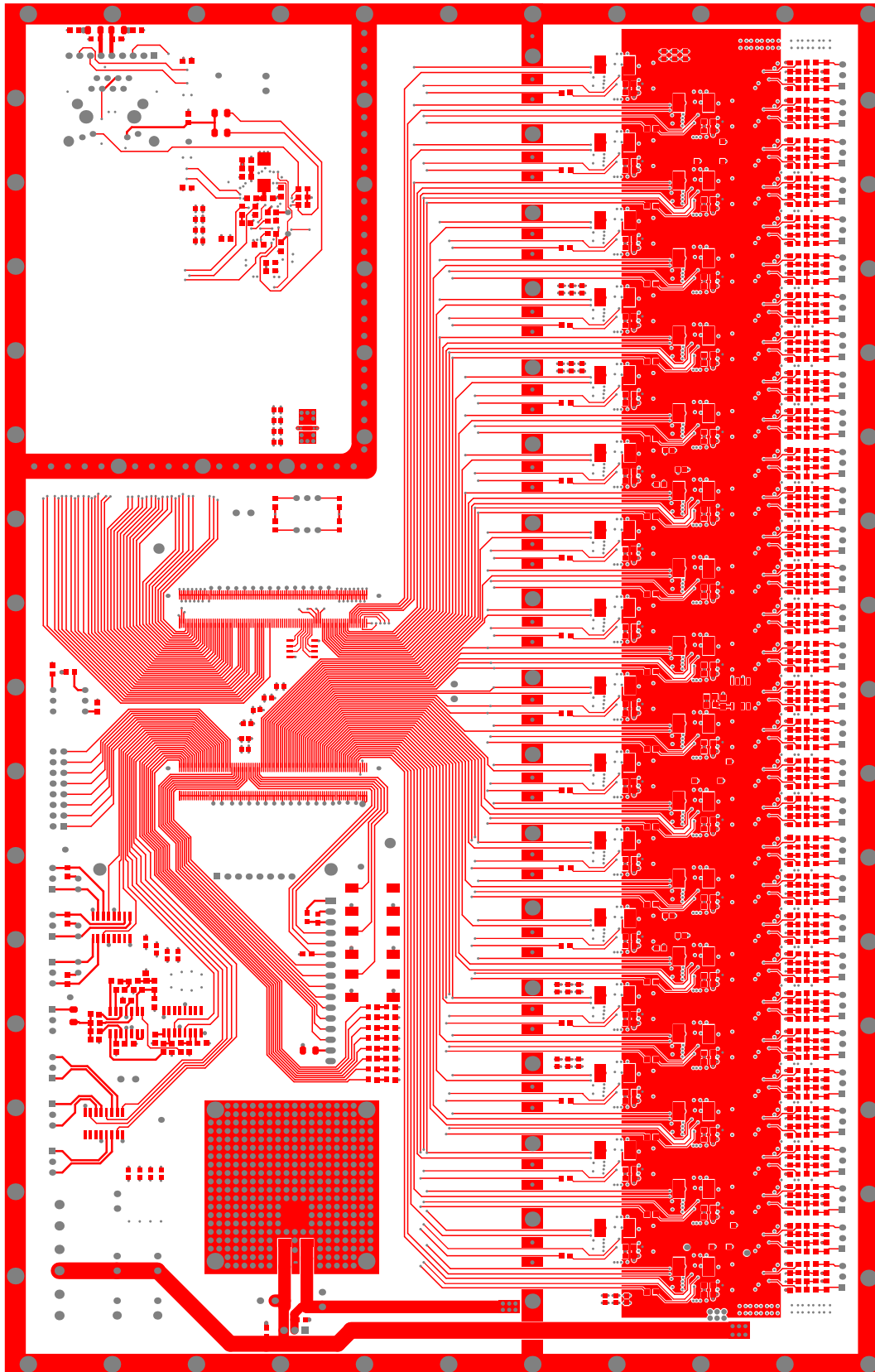


Abbildung C.1: Top Layer

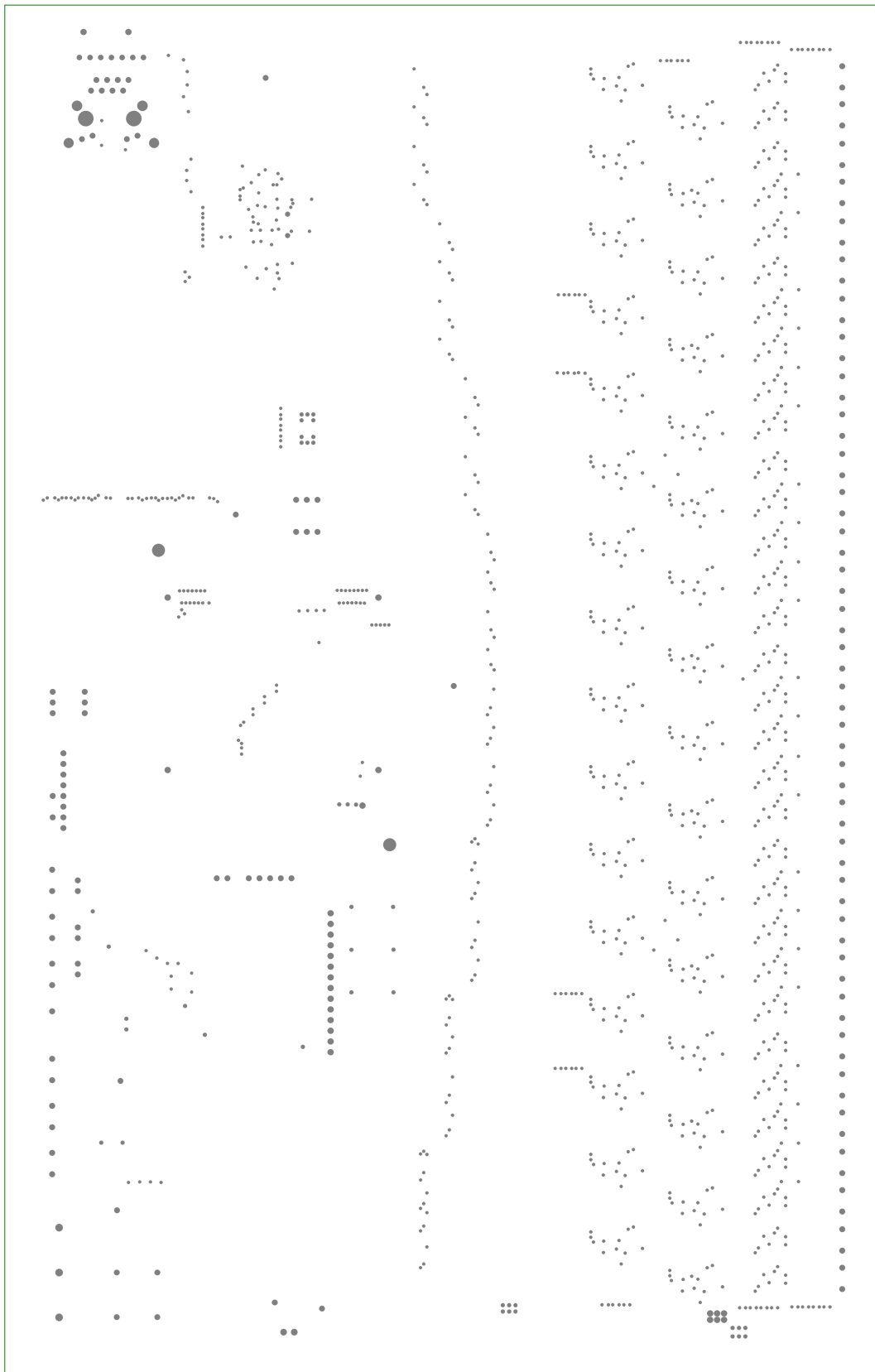


Abbildung C.2: Drei GND Layer

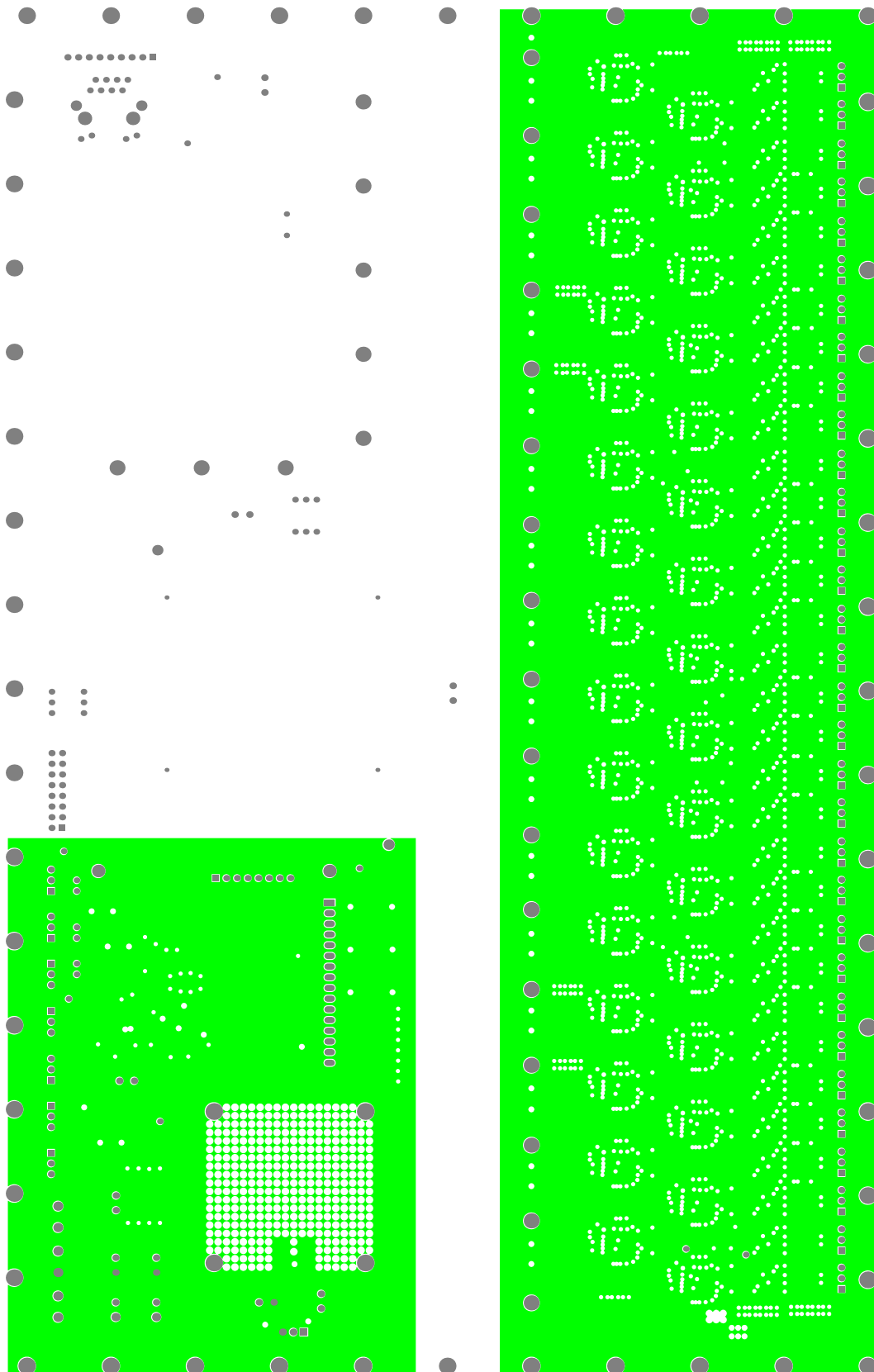


Abbildung C.3: Versorgungsspannung (digital +12 V links), (analog +5 V rechts)

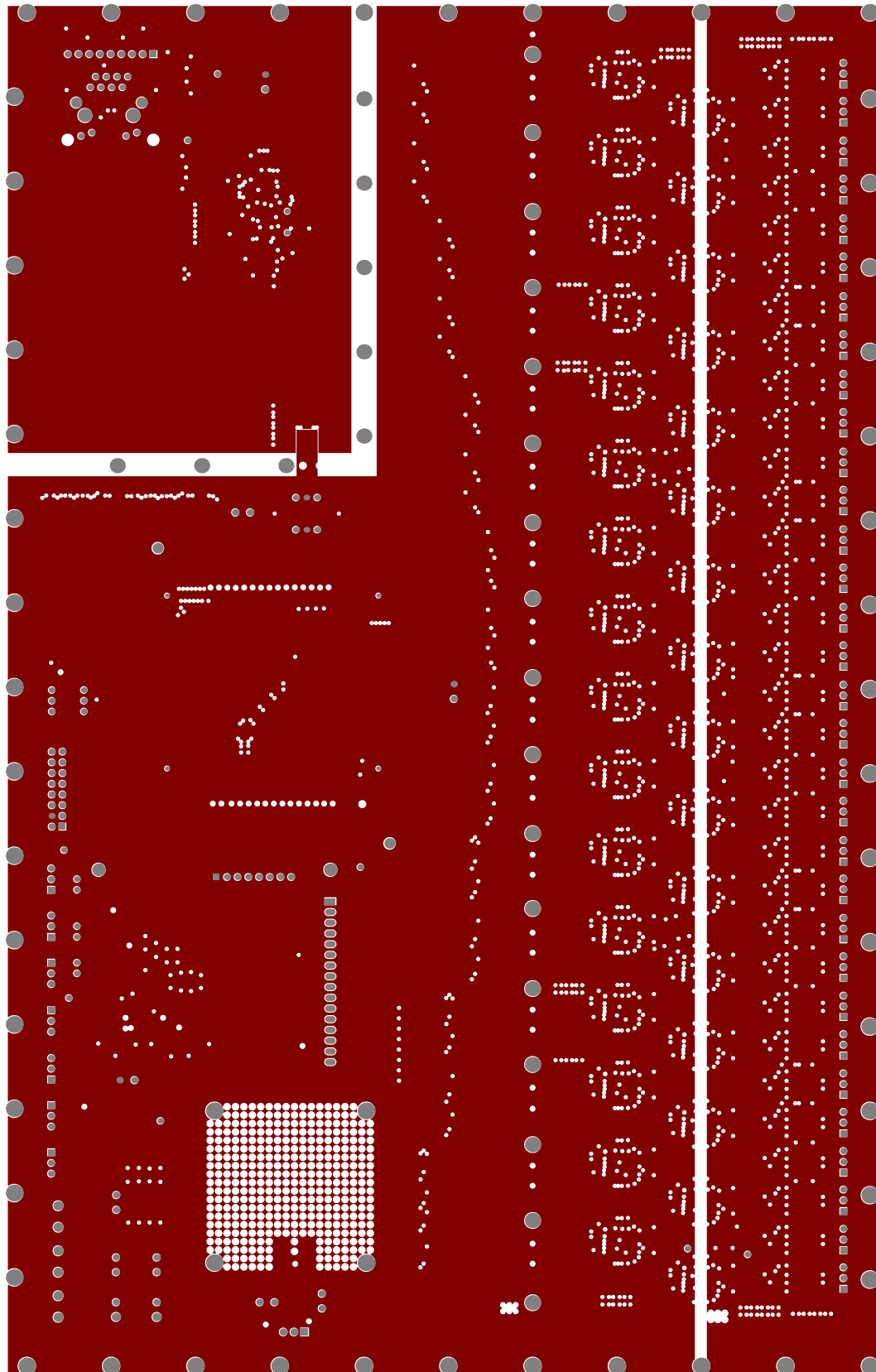


Abbildung C.4: Versorgungsspannung (digital +3,3 V links), (analog +12 V rechts)

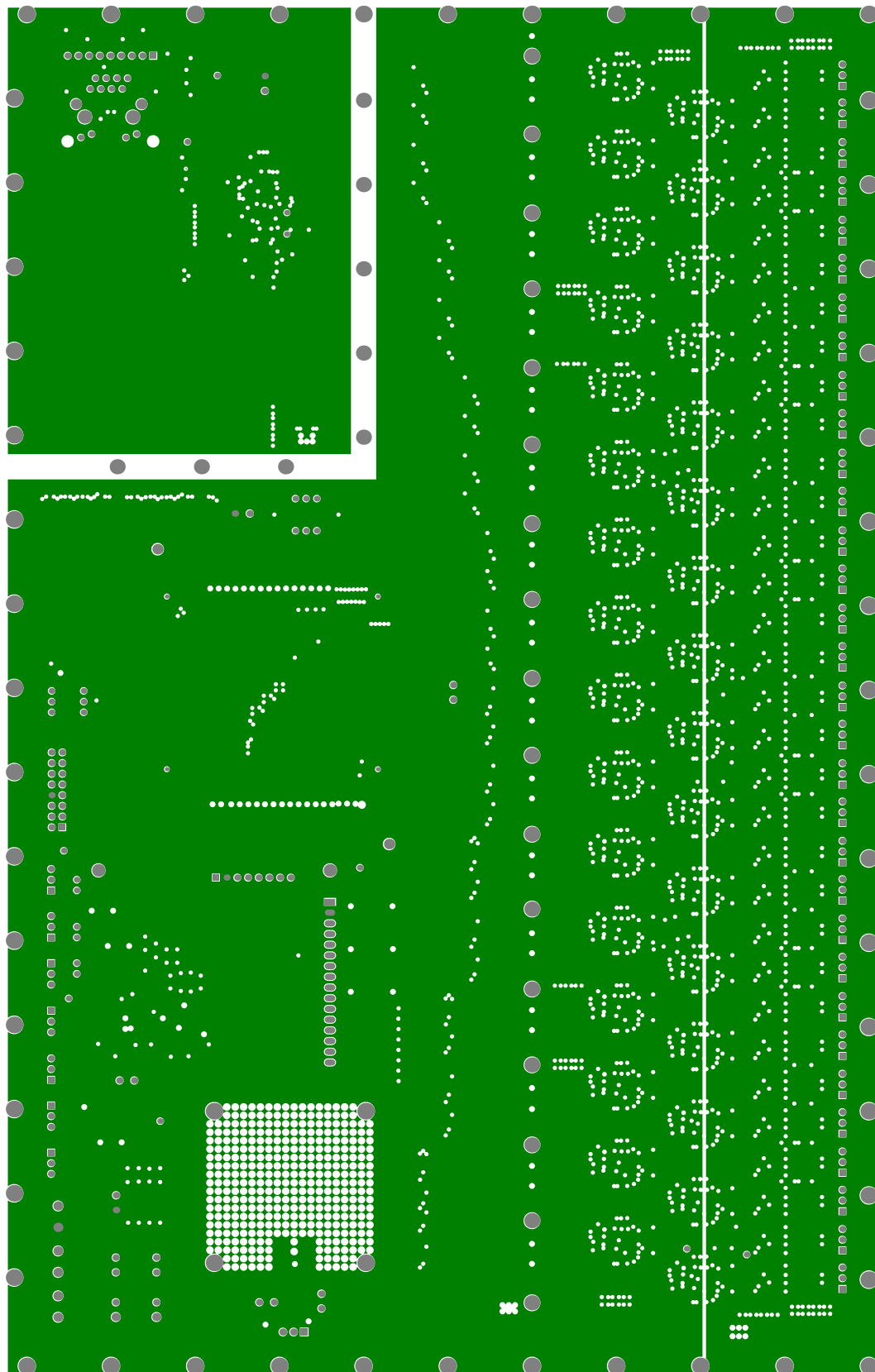


Abbildung C.5: Versorgungsspannung (digital +5 V links), (analog -12 V rechts)

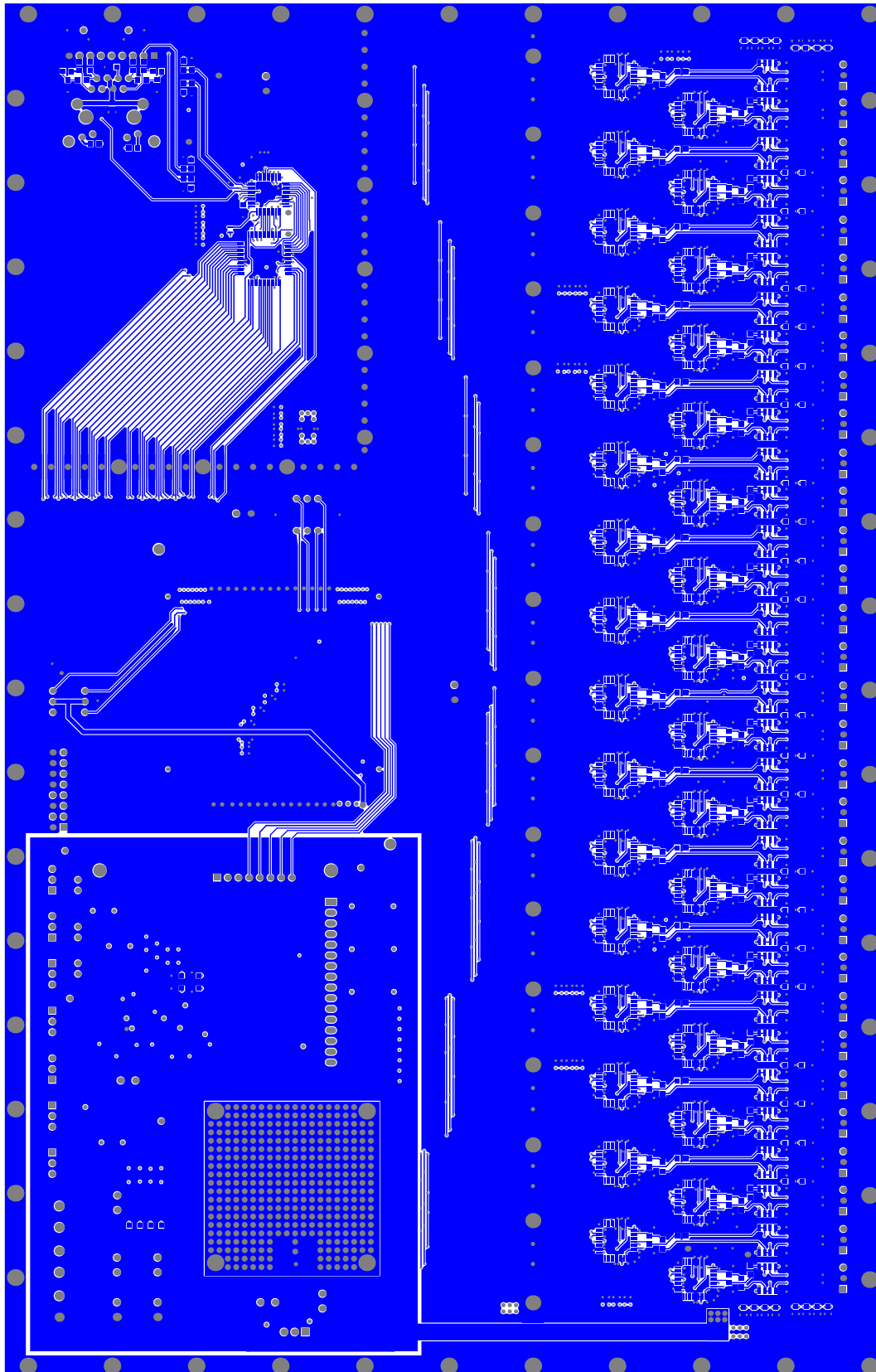


Abbildung C.6: Bottom Layer

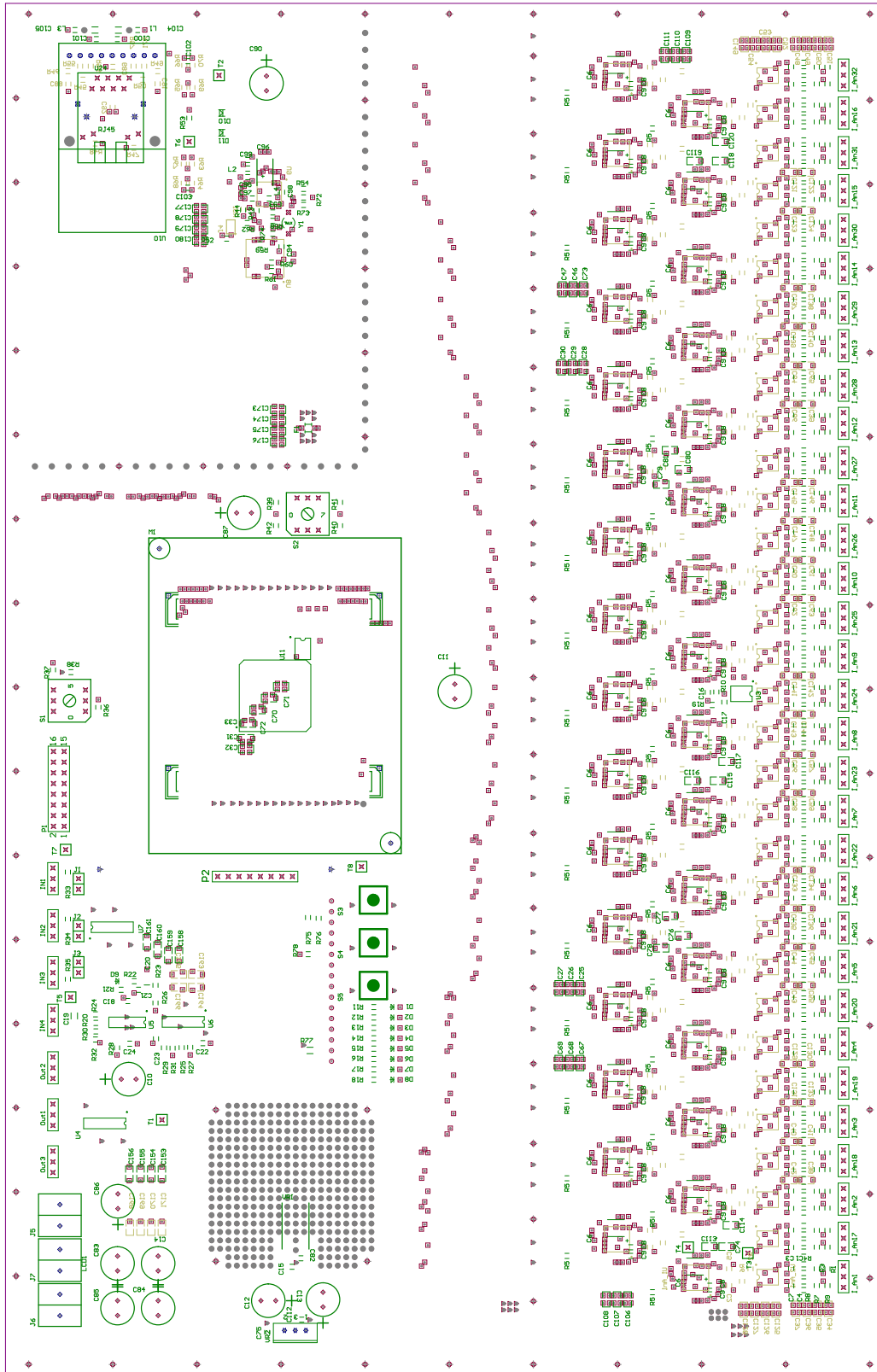


Abbildung C.7: Bestückung unten und oben

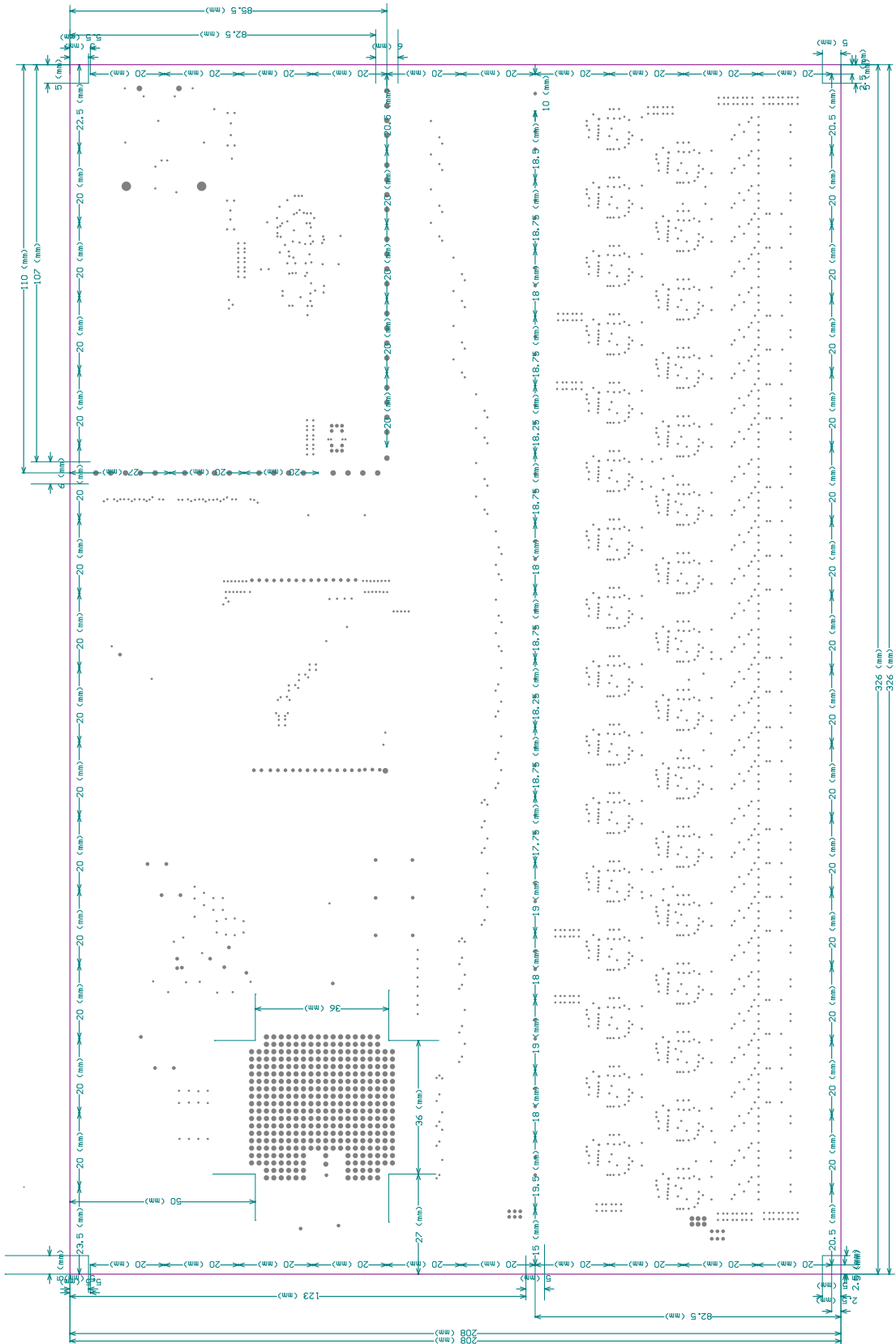


Abbildung C.8: Bemaßung

D Gehäuse

D Gehäuse

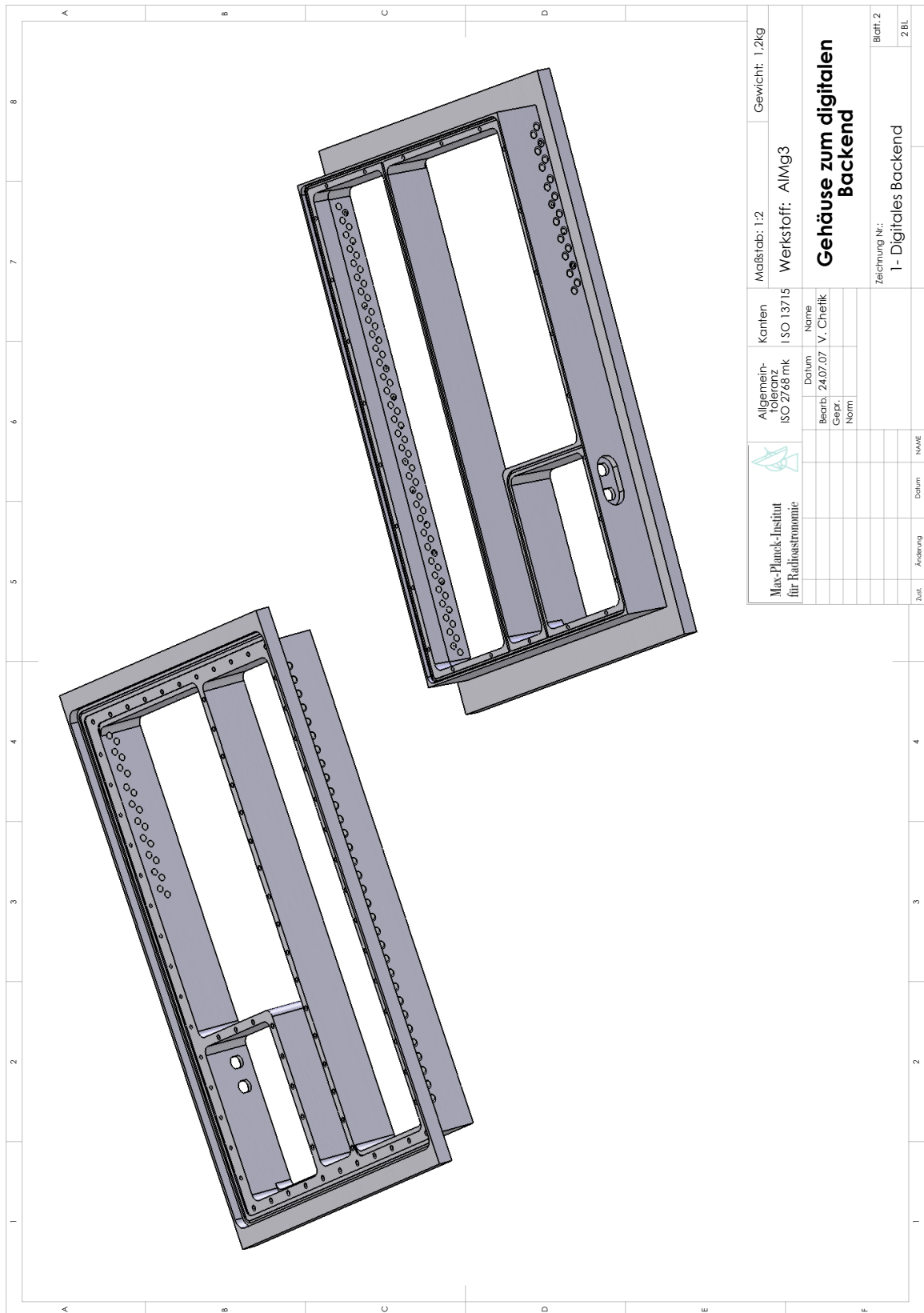


Abbildung D.3: Gehäuse

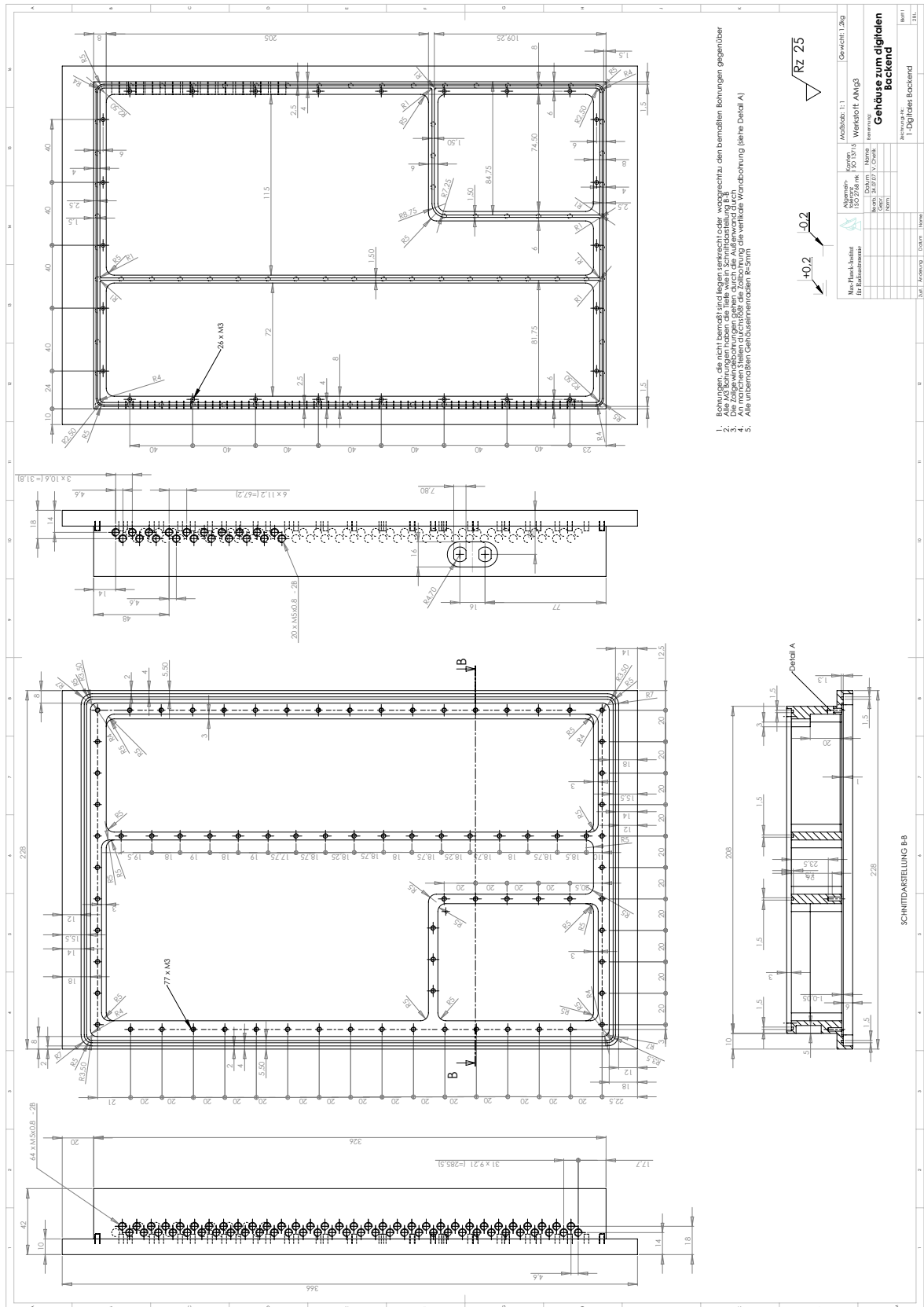


Abbildung D.4: Gehäuseplan

E Programmierung

Bestehende Module wie »IRIG-B« und »Ethernet« sind auf der CD-ROM im Verzeichnis »/VHDL-Programmierung/...« zu finden. Testprogramme und Simulationen zu allen Modulen sind ebenfalls auf der CD-ROM.

F Literaturverzeichnis

Agilent Technologies 2005

: *AFBR-5803, FDDI, 100 Mb/s ATM, and Fast Ethernet Transceivers in Low Cost 1 x 9 Package Style*. 2005. – URL <http://www.agilent.com/home/avagotechnologies.shtml>

Analog Devices 2003

: *AD7674, 18-Bit, 2.5 LSB INL, 800 kSPS SAR ADC*. 2003. – URL <http://www.analog.com>

Analog Devices 2005a

: *AD8022, Dual High Speed, Low Noise Op Amp*. 2005. – URL <http://www.analog.com>

Analog Devices 2005b

: *ADR421, Ultraprecision, Low Noise, 2.500 V XFET Voltage References*. 2005. – URL <http://www.analog.com>

Ansoft Simplorer 2004

CORPORATION, Ansoft: *Simplorer V7.0*. Okt. 2004. – Student Version

Aurich 2005

AURICH, Prof. Dr.-Ing. J.: *Bauelemente und Elektronik*. Feb. 2005. – Arbeitsblätter

Avago Technologies 2007a

: *AFBR-5803, FDDI, 100 Mb/s ATM, and Fast Ethernet Transceivers in Low Cost 1 x 9 Package Style*. 2007. – URL <http://www.avagotech.com>

Avago Technologies 2007b

: *AT24C512, Two-wire Serial EEPROM*. 2007. – URL <http://www.atmel.com>

Bartsch 2001

BARTSCH, Dr.-Ing. Hans-Jochen: *Taschenbuch mathematischer Formeln*. Bd. 19. Fachbuchverlag Leipzig, 2001. – ISBN 3-446-21792-4

Dirks 2004a

DIRKS, Prof. C.: *EMV von Leiterplatten 1*. 2004. – Seminarreihe

Dirks 2004b

DIRKS, Prof. C.: *EMV von Leiterplatten 2*. 2004. – Seminarreihe

Gaertner 2001

GAERTNER, Prof. Dr.-Ing. Uwe F.: *Hochfrequenztechnik I - Teil 1*. Juni 2001. – Manuskriptentwurf

Gick 2005a

GICK, Prof. Dr.-Ing. B.: *Digitale Elektronik*. März 2005. – Vorlesungsskript

Gick 2005b

GICK, Prof. Dr.-Ing. B.: *Entwurf digitaler Schaltung mit VHDL*. Feb. 2005. – Vorlesungsskript

Gick 2005c

GICK, Prof. Dr.-Ing. B.: *Systeme in Programmierbarer Logik*. Okt. 2005. – Vorlesungsskript

IEEE 2005a

IEEE (Veranst.): *IEEE Std 802.3 -2005 Section one*. 1. 2005

IEEE 2005b

IEEE (Veranst.): *IEEE Std 802.3 -2005 Section two*. 1. 2005

Kuchling 2001

KUCHLING, Horst: *Taschenbuch der Physik*. Bd. 17. Fachbuchverlag Leipzig, 2001. – ISBN 3-446-21760-6

Kurz 2002

KURZ, Prof. Dr.-Ing. A.: *Digitale Regelungstechnik*. Okt. 2002. – Vorlesungsskript

Pfeffer 2000

PFEFFER, Karl-Heinz: *Analysis fuer Fachoberschulen*. Bd. 5. Viewegs, 2000. – ISBN 3-528-44006-6

Prof. Dr.-Ing. Holger Lutz 2005

PROF. DR.-ING. HOLGER LUTZ, Prof. Dr.-Ing. Wolfgang W.: *Taschenbuch der Regelungstechnik*. Bd. 6. Wissenschaftlicher Verlag Harri Deutsch, 2005. – ISBN 3-8171-1749-3

Rainer Geiffler 1994

RAINER GEIFFLER, Hans Werner S.: *Berechnungs- und Entwurfsverfahren der Hochfrequenztechnik 2*. Bd. 1. Viewegs, 1994. – ISBN 3-528-04943-X

Realtek Semiconductor Corp. 2005

: *RTL8201, Single-Chip/Single-Port 10/100M Fast Ethernet Phyceiver*. 2005. – URL <http://www.realtek.com.tw/>

Wikipedia MLT-3

WIKIPEDIA (Hrsg.): *MLT-3-Code*. – URL <http://de.wikipedia.org/wiki/MLT-3-Code>. – Zugriffsdatum: 01. Okt. 2007

Williams 2000

WILLIAMS, Tim: *EMC Richtlinien und deren Umsetzung*. Bd. 1. Elektor-Verlag GmbH, 2000. – ISBN 3-89576-103-6

WIZnet 2005

: *iinChip W3100A*. 2005. – URL <http://www.WIZnet.co.kr>

Abbildungsverzeichnis

1.1	Bestehendes System in Effelsberg mit V/F-Converter	1
1.2	Das neue digitale Backend für den 7-beam 32 GHz Empfänger	3
1.3	Das neue 32-Kanal-Backend	4
1.4	Realisierte Hardware	4
3.1	Blockschaltbild zur gesamten Hardware	7
3.2	Blockschaltbild zur analogen Hardware	8
3.3	Analoge Eingangsstufe	8
3.4	Temperatureinfluss auf die effektiven Anzahl an Bits (ENOB)	10
3.5	Nichtlineares Verhalten und Zero Error durch Temperatureinfluss	11
3.6	Netzstörunterdrückung PSRR (Analog Devices)	11
3.7	+5 V analoge Spannungsversorgung für AD-Wandler	12
3.8	Referenzspannung für AD7674	12
3.9	Blockdiagramm AD8022 (Analog Devices)	13
3.10	Leerlaufverstärkung und Phasengang (Analog Devices)	14
3.11	Einschwingverhalten des AD8022 @ $G = +2$ (Analog Devices)	15
3.12	Distortion vs. Frequency (Analog Devices)	15
3.13	CMRR vs. Frequency (Analog Devices)	16
3.14	Simulationsschaltung	17
3.15	Simulation der Gleichtaktstörunterdrückung	17
3.16	Netzstörunterdrückung vs. Frequenz (Analog Devices)	18
3.17	Output-to-Output Crosstalk vs. Frequency (Analog Devices)	19
3.18	Cross-Talk im AD8022	19
3.19	Frequenzgang der analogen Eingangsstufe	20
3.20	Verlustleistung	21
3.21	Modifizierte analoge Eingangsstufe	24
3.22	Masseanbindung und Aufbau vom EMI-Filter	24
3.23	Einschwingverhalten von pi-Filtern	26
3.24	Sprungantwort des EMI-Filters Tusonix 4209-053	26

3.25	Entstandene Differenzspannung durch Bauteiltoleranz	27
3.26	Blockschaltbild zur digitalen Hardware	28
3.27	FPGA-Modul (Top)	29
3.28	FPGA-Modul (Bottom)	29
3.29	Übersicht zur Spartan-3 Familie (Xilinx Spartan-3 Overview)	30
3.30	Ethernet	31
3.31	Blockdiagramm W3100A	31
3.32	Signalweg für twisted-Pair Übertragung (100Base-TX)	33
3.33	Signalweg bei optischer Übertragung (100Base-FX)	33
3.34	Optical Transceiver - Agilent AFBR-5803ATZ	34
3.35	Übertragungsfenster und Dämpfungsverlauf einer Gradientenfaser (c), einer Einmodenfaser (b) und minimaler Grenzwert des Lichtwellenleiters (Haaß, 2005)	34
3.36	Elektrische Schnittstelle zum AFBR-5803	35
3.37	St-Stecker und Kupplung	36
3.38	Trennung durch eine LWL Kupplung	36
3.39	Differentielle Eingänge für Steuersignale	37
3.40	Differentielle Ausgänge für Steuersignale	38
3.41	Zeichendisplay	39
3.42	Blockschaltbild des AT24C512	39
3.43	Verdrahtung des AD7674	41
3.44	Analoge Eingangsstufe	42
4.1	Örtliche Trennung der Baugruppen	43
4.2	Lagenaufbau	44
4.3	Hin- und Rückfließender Strom in Leiterbahnen	44
4.4	Entkopplung der Versorgungsspannungen	45
4.5	Problem der Parallelschaltung von Kondensatoren	46
4.6	Optimierte Entstörgruppen	47
5.1	Reflexion und Absorption einer elektromagnetischen Welle	48
5.2	Skineffekt	50
5.3	Abschirmwirkung AW bei dünnem Kupferblech	51
5.4	Gehäuse ohne und mit Dichtung	52
5.5	Gehäuseresonanz	53
5.6	Thermische Analyse bei 10 W Verlustleistung	54
5.7	3D-Ansicht vom Gehäuse	55

5.8	Kühlung der Elektronik	55
6.1	FIFO für die Ethernet-Schnittstelle	57
6.2	AD7674-Modul	57
6.3	Conversion-Start und Auslesen der Daten des AD-Wandlers	58
6.4	IIC-Modul	58
6.5	Schreibvorgang beim IIC-Protokoll	59
6.6	Funktionsweise des LCD-Moduls	60
6.7	Zeichenübertragung zum Display	60
6.8	RS-232 Modul	61
6.9	Senden über die Seriellschnittstelle	61
6.10	Empfangen über die Seriellschnittstelle	61
6.11	Binär-nach-Dezimal Modul	62
6.12	Binär-nach-Dezimal Programmablaufplan	62
7.1	Verrauschte Gleichspannung (lange Beobachtungsdauer)	64
7.2	Ausschnitt aus dem verrauschten Signal	64
7.3	Das Integral eines Rauschsignals (ohne Gleichspannung)	65
7.4	Das Integral eines Rauschsignals (mit Gleichspannung)	65
7.5	Problem der Abtastung (Aliasing-Effekt)	66
8.1	Messaufbau zur Untersuchung der Versorgungsspannungen	70
8.2	3,3 V Versorgungsspannung ohne Entstörgruppen	71
8.3	3,3 V Versorgungsspannung mit Entstörgruppen	72
8.4	Störungen in der Ethernet Versorgungsspannung 3,3 V	73
8.5	Störungen in der digitalen Hauptversorgungsspannung 3,3 V	74
8.6	Störungen in der 2,5 V Referenzspannung	75
8.7	Störungen in der analogen 5 V Versorgungsspannung	76
8.8	Störungen an den analogen Eingängen (20 kHz)	77
8.9	Störungen an den analogen Eingängen (1 GHz)	78
9.1	Verteilung der Abtastwerte im Histogramm	80
9.2	Verteilung der Abtastwerte im Histogramm (logarithmische Darstellung)	80
9.3	Streuung der Abtastwerte des AD7674 laut Hersteller (Analog Devices)	80
9.4	Aliasing-Effekt bei 1,01 MHz	81
9.5	Gleichtaktstörunterdrückung der Anlogschaltung	82
9.6	Sprungantwort auf ein 4 kHz Signal	83

9.7	Sprungantwort auf ein 4 kHz Signal (Zoom)	83
9.8	Aufzeichnung der Sprungfunktion mit dem Oszilloskop	84
9.9	Untersuchung auf Verzerrungen	85
10.1	Messaufbau mit der Nahfeldsonde	87
10.2	Messaufbau mit der logarithmisch periodischen Antenne	87
10.3	E-Feld-Messung am FPGA	88
10.4	E-Feld-Messung am ADC-Interface	89
10.5	E-Feld-Messung an der Ethernet-Schaltung	90
10.6	E-Feld-Messung am geschlossenen Gehäuse	91
10.7	Fernfeldmessung in horizontaler Ausrichtung (offenes Gehäuse)	92
10.8	Fernfeldmessung in vertikaler Ausrichtung (offenes Gehäuse)	93
10.9	Fernfeldmessung am geschlossenen Gehäuse	94
A.1	Analogschaltung	97
A.2	Ethernet	98
A.3	FPGA und IIC-EEPROM	99
A.4	Spannungsversorgung und Digitalschaltung	100
A.5	Entstörgruppen	101
C.1	Top Layer	105
C.2	Drei GND Layer	106
C.3	Versorgungsspannung (digital +12 V links), (analog +5 V rechts)	107
C.4	Versorgungsspannung (digital +3,3 V links), (analog +12 V rechts)	108
C.5	Versorgungsspannung (digital +5 V links), (analog -12 V rechts)	109
C.6	Bottom Layer	110
C.7	Bestückung unten und oben	111
C.8	Bemaßung	112
D.1	Gehäusedeckel oben	115
D.2	Gehäusedeckel unten	116
D.3	Gehäuse	117
D.4	Gehäuseplan	118

Tabellenverzeichnis

2.1	Auflistung einiger Schnittstellen	5
3.1	Auswahlkriterium für EMI-Filter	25
3.2	Minimum no load insertion loss (Tusonix 4209-053)	25